

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-339071

(43)Date of publication of application : 07.12.2001

(51)Int.Cl.

H01L 29/786  
H01L 21/762  
H01L 21/76  
H01L 21/3205  
H01L 27/04  
H01L 21/822  
H01L 21/8238  
H01L 27/092  
H01L 27/08

(21)Application number : 2000-342937

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 10.11.2000

(72)Inventor : HIRANO YUICHI  
MAEKAWA SHIGETO  
IWAMATSU TOSHIKI  
MATSUMOTO TAKUJI  
MAEDA SHIGENOBU  
YAMAGUCHI YASUO

(30)Priority

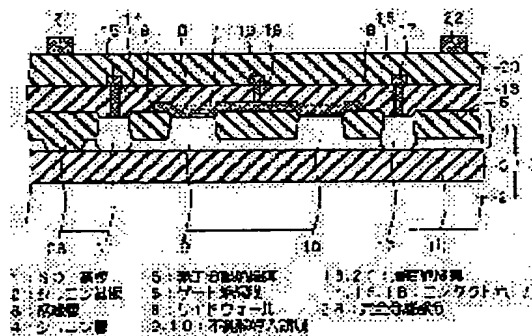
Priority number : 2000080096 Priority date : 22.03.2000 Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor device for inhibiting the fluctuation of the potential of a body region caused by the fluctuation of the potential of power supply wiring.

SOLUTION: A partial-trench element isolation insulating film 5 is selectively formed in the upper surface of a silicon layer 4. Power supply wiring 21 is formed at the upper portion of the element isolation insulating film 5. At the upper portion of the power supply wiring 21, a complete isolation part 23 to the upper surface of the insulating layer 3 is formed at the element isolation insulating film 5. In other words, this semiconductor device is provided with a complete-isolation-type element isolation insulating film that is formed from the upper surface of the silicon layer 4 to the upper surface of the insulating layer 3 at the lower portion of the power supply wiring 21.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-339071

(P2001-339071A)

(43)公開日 平成13年12月7日(2001.12.7)

| (51)Int.Cl. <sup>7</sup> | 識別記号    | F I           | テ-マ-ト*(参考)        |
|--------------------------|---------|---------------|-------------------|
| H 0 1 L                  | 29/786  | H 0 1 L 27/08 | 3 3 1 E 5 F 0 3 2 |
|                          | 21/762  | 29/78         | 6 1 3 A 5 F 0 3 3 |
|                          | 21/76   | 21/76         | D 5 F 0 3 8       |
|                          | 21/3205 |               | L 5 F 0 4 8       |
|                          | 27/04   | 21/88         | Z 5 F 1 1 0       |

審査請求 未請求 請求項の数21 O L (全 26 頁) 最終頁に続く

(21)出願番号 特願2000-342937(P2000-342937)

(22)出願日 平成12年11月10日(2000.11.10)

(31)優先権主張番号 特願2000-80096(P2000-80096)

(32)優先日 平成12年3月22日(2000.3.22)

(33)優先権主張国 日本(JP)

(71)出願人 00006013  
三菱電機株式会社  
東京都千代田区丸の内二丁目2番3号

(72)発明者 平野 有一  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 前川 繁登  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100089233  
弁理士 吉田 茂明 (外2名)

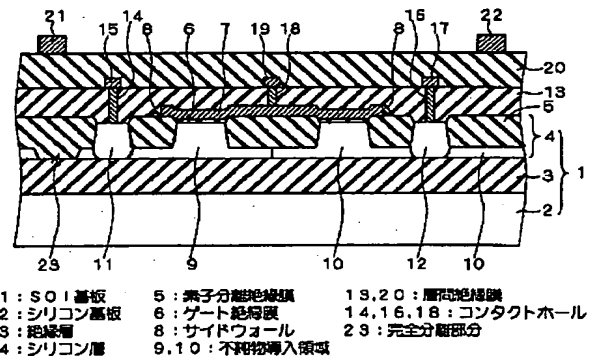
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 電源配線の電位の変動に起因するボディ領域の電位の変動を抑制し得る半導体装置を得る。

【解決手段】 シリコン層4の上面内には、パーシャルトレンチ型の素子分離絶縁膜5が選択的に形成されている。電源配線21は、素子分離絶縁膜5の上方に形成されている。電源配線21の下方において、素子分離絶縁膜5には、絶縁層3の上面に達する完全分離部分23が形成されている。換言すれば、半導体装置は、電源配線21の下方において、シリコン層4の上面から絶縁層3の上面に達して形成された完全分離型の素子分離絶縁膜を備えている。



## 【特許請求の範囲】

【請求項 1】 半導体基板、絶縁層、及び半導体層がこの順に積層された構造を有する SOI 基板と、前記半導体層の主面内に形成された部分分離型素子分離絶縁膜と、

前記半導体層内において、前記部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された第 1 の半導体素子と、

前記第 1 の半導体素子及び前記部分分離型素子分離絶縁膜上に形成された層間絶縁膜と、

前記層間絶縁膜上に形成された、電源／接地配線の少なくとも一方と、

前記電源／接地配線の少なくとも一方の下方において、前記半導体層の前記主面から前記絶縁層の上面に達して形成された第 1 の完全分離型素子分離絶縁膜とを備える半導体装置。

【請求項 2】 前記半導体層内において前記第 1 の半導体素子に隣接して形成され、前記第 1 の半導体素子の有する動作しきい値電圧と異なる動作しきい値電圧を有する第 2 の半導体素子と、

前記第 1 の半導体素子と前記第 2 の半導体素子との間において、前記半導体層の前記主面から前記絶縁層の前記上面に達して形成された第 2 の完全分離型素子分離絶縁膜とをさらに備える、請求項 1 に記載の半導体装置。

【請求項 3】 前記半導体層内において前記第 1 の半導体素子に隣接して形成され、前記第 1 の半導体素子の動作周波数と異なる動作周波数の第 2 の半導体素子と、

前記第 1 の半導体素子と前記第 2 の半導体素子との間において、前記半導体層の前記主面から前記絶縁層の前記上面に達して形成された第 2 の完全分離型素子分離絶縁膜とをさらに備える、請求項 1 に記載の半導体装置。

【請求項 4】 前記層間絶縁膜上に形成され、前記第 1 の半導体素子に電気的に接続された信号配線と、前記信号配線の下方において、前記半導体層の前記主面から前記絶縁層の前記上面に達して形成された第 3 の完全分離型素子分離絶縁膜とをさらに備える、請求項 1 ～ 3 のいずれか一つに記載の半導体装置。

【請求項 5】 前記層間絶縁膜上に形成され、前記第 1 の半導体素子と外部素子とを電気的に接続するためのボンディングパッドと、

前記ボンディングパッドの下方において、前記半導体層の前記主面から前記絶縁層の前記上面に達して形成された第 4 の完全分離型素子分離絶縁膜とをさらに備える、請求項 1 ～ 4 のいずれか一つに記載の半導体装置。

【請求項 6】 半導体基板、絶縁層、及び半導体層がこの順に積層された構造を有する SOI 基板と、

前記半導体層の主面内に形成された部分分離型素子分離絶縁膜と、

前記半導体層内において、前記部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された第 1

の半導体素子と、

前記半導体層内において前記第 1 の半導体素子に隣接して形成され、前記第 1 の半導体素子の有する動作しきい値電圧と異なる動作しきい値電圧を有する第 2 の半導体素子と、

前記第 1 の半導体素子と前記第 2 の半導体素子との間において、前記半導体層の前記主面から前記絶縁層の上面に達して形成された完全分離型素子分離絶縁膜とを備える半導体装置。

10 【請求項 7】 半導体基板、絶縁層、及び半導体層がこの順に積層された構造を有する SOI 基板と、前記半導体層の主面内に形成された部分分離型素子分離絶縁膜と、

前記半導体層内において、前記部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された第 1 の半導体素子と、

前記半導体層内において前記第 1 の半導体素子に隣接して形成され、前記第 1 の半導体素子の動作周波数と異なる動作周波数の第 2 の半導体素子と、

20 前記第 1 の半導体素子と前記第 2 の半導体素子との間において、前記半導体層の前記主面から前記絶縁層の上面に達して形成された完全分離型素子分離絶縁膜とを備える半導体装置。

【請求項 8】 半導体基板、絶縁層、及び半導体層がこの順に積層された構造を有する SOI 基板と、前記半導体層の主面内に形成された部分分離型素子分離絶縁膜と、

前記半導体層内において、前記部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された半導体素子と、

30 前記半導体素子及び前記部分分離型素子分離絶縁膜上に形成された層間絶縁膜と、

前記層間絶縁膜上に形成され、前記半導体素子に電気的に接続された信号配線と、

前記信号配線の下方において、前記半導体層の前記主面から前記絶縁層の上面に達して形成された完全分離型素子分離絶縁膜とを備える半導体装置。

【請求項 9】 前記信号配線は、多層配線構造を成す複数の配線を有しており、

40 前記完全分離型素子分離絶縁膜は、前記複数の配線のうち、少なくとも最下層の前記配線の下方に形成されていることを特徴とする、請求項 8 に記載の半導体装置。

【請求項 10】 前記完全分離型素子分離絶縁膜は、前記複数の配線のうち、前記最下層の次に前記 SOI 基板に近い配線層の前記配線の下方にも形成されていることを特徴とする、請求項 9 に記載の半導体装置。

【請求項 11】 前記信号配線は、GHz オーダー以上の周波数の信号が通る配線である、請求項 8 ～ 10 のいずれか一つに記載の半導体装置。

50 【請求項 12】 前記半導体素子はバッファ回路であ

り、  
前記信号配線は、前記バッファ回路と、外部装置に接続されたボンディングパッドとの間を繋ぐ配線である、請求項 8 に記載の半導体装置。

【請求項 13】 半導体基板、絶縁層、及び半導体層がこの順に積層された構造を有する SOI 基板と、  
前記半導体層の主面内に形成された部分分離型素子分離絶縁膜と、

前記半導体層内において、前記部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された半導体素子と、

前記半導体素子と外部素子とを電気的に接続するためのボンディングパッドと、

前記ボンディングパッドの下方において、前記半導体層の前記主面から前記絶縁層の上面に達して形成された完全分離型素子分離絶縁膜とを備える半導体装置。

【請求項 14】 半導体基板、絶縁層、及び半導体層がこの順に積層された構造を有する SOI 基板と、

前記半導体層の主面内に形成された部分分離型素子分離絶縁膜と、

前記部分分離型素子分離絶縁膜によって規定される素子形成領域内において、前記半導体層内に形成されたチャネル領域を有する半導体素子と、

前記半導体素子及び前記部分分離型素子分離絶縁膜上に形成された層間絶縁膜と、

前記層間絶縁膜上に形成された、電源／接地配線の少なくとも一方と、

前記半導体層内において前記電源／接地配線の少なくとも一方の下方に形成され、前記チャネル領域よりも高抵抗の高抵抗領域とを備える半導体装置。

【請求項 15】 (a) 半導体基板、絶縁層、及び半導体層がこの順に積層された構造を有する SOI 基板を準備する工程と、

(b) 前記半導体層の主面内に部分分離型素子分離絶縁膜を形成するとともに、電源／接地配線の少なくとも一方の形成予定領域の下方において、前記半導体層の前記主面から前記絶縁層の上面に達する第 1 の完全分離型素子分離絶縁膜を形成する工程と、

(c) 前記半導体層内において、前記部分分離型素子分離絶縁膜によって規定される素子形成領域内に、第 1 の半導体素子を形成する工程と、

(d) 前記第 1 の半導体素子、前記部分分離型素子分離絶縁膜、及び前記第 1 の完全分離型素子分離絶縁膜上に層間絶縁膜を形成する工程と、

(e) 前記層間絶縁膜上に前記電源／接地配線の少なくとも一方を形成する工程とを備える、半導体装置の製造方法。

【請求項 16】 (f) 前記半導体層内において、前記第 1 の半導体素子の有する動作しきい値電圧と異なる動作しきい値電圧を有する第 2 の半導体素子を、前記第 1

の半導体素子に隣接して形成する工程と、

(g) 前記第 1 の半導体素子と前記第 2 の半導体素子との間において、前記半導体層の前記主面から前記絶縁層の前記上面に達する第 2 の完全分離型素子分離絶縁膜を形成する工程とをさらに備える、請求項 15 に記載の半導体装置の製造方法。

【請求項 17】 (f) 前記半導体層内において、前記第 1 の半導体素子の動作周波数と異なる動作周波数の第 2 の半導体素子を、前記第 1 の半導体素子に隣接して形成する工程と、

(g) 前記第 1 の半導体素子と前記第 2 の半導体素子との間において、前記半導体層の前記主面から前記絶縁層の前記上面に達する第 2 の完全分離型素子分離絶縁膜を形成する工程とをさらに備える、請求項 15 に記載の半導体装置の製造方法。

【請求項 18】 (h) 前記第 1 の半導体素子に電気的に接続される信号配線の形成予定領域の下方において、前記半導体層の前記主面から前記絶縁層の前記上面に達する第 3 の完全分離型素子分離絶縁膜を形成する工程と、

(i) 前記層間絶縁膜上に前記信号配線を形成する工程とをさらに備える、請求項 15 ～ 17 のいずれか一つに記載の半導体装置の製造方法。

【請求項 19】 (j) 前記第 1 の半導体素子と外部素子とを電気的に接続するためのボンディングパッドの形成予定領域の下方において、前記半導体層の前記主面から前記絶縁層の前記上面に達する第 4 の完全分離型素子分離絶縁膜を形成する工程と、

(k) 前記層間絶縁膜上に前記ボンディングパッドを形成する工程とをさらに備える、請求項 15 ～ 18 のいずれか一つに記載の半導体装置の製造方法。

【請求項 20】 前記工程 (b) は、

(x) 前記部分分離型素子分離絶縁膜の形成予定領域及び前記第 1 の完全分離型素子分離絶縁膜の形成予定領域において、前記半導体層の前記主面を所定膜厚だけ掘り下げることにより、第 1 の凹部を形成する工程と、

(y) 前記第 1 の完全分離型素子分離絶縁膜の形成予定領域において、前記工程 (x) により露出した前記第 1 の凹部の底面を選択的に掘り下げて前記絶縁層の前記上面を露出することにより、第 2 の凹部を形成する工程と、

(z) 前記第 1 の凹部内及び前記第 2 の凹部内に絶縁膜を埋め込む工程とを有する、請求項 15 に記載の半導体装置の製造方法。

【請求項 21】 前記工程 (y) は、

(y-1) 前記工程 (x) により得られる構造上にフォトリソストを形成する工程と、

(y-2) 所定のマスクパターンを有するフォトリソマスクを用いて前記フォトリソストを露光する工程と、

(y-3) 露光後の前記フォトリソストを現像する工程

と、

(γ-4) 現像後の前記フォトリソをエッチングマスクとして前記半導体層をエッチングすることにより、前記第2の凹部を形成する工程とを有し、前記所定のマスクパターンは、前記電源/接地配線の少なくとも一方の形成予定領域が表されている配線レイアウトに基づいて自動生成されることを特徴とする、請求項20に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置の構造及びその製造方法に関し、特に、SOI基板を用いた半導体装置の構造及びその製造方法に関するものである。

【0002】

【従来の技術】図47は、SOI基板を用いた第1の従来の半導体装置の構造を示す断面図である。図47に示すように第1の従来の半導体装置は、シリコン基板102、絶縁層103、及びシリコン層104がこの順に積層された積層構造を有するSOI基板101を備えている。シリコン層104の上面内には、パーシャルトレンチ型の複数の素子分離絶縁膜105が選択的に形成されている。素子分離絶縁膜105によって規定されるSOI基板101の素子形成領域には、NMOSトランジスタ(以下「NMOS」と称する)が形成されている。NMOSは、シリコン層104内に形成され、p形のチャネル領域110を挟んで対を成す、いずれもn<sup>+</sup>形のソース領域109s及びドレイン領域109dを有している。また、NMOSは、チャネル領域110上に形成され、ゲート絶縁膜106及びゲート電極107がこの順に積層された積層構造と、該積層構造の側面に形成されたサイドウォール108とを有するゲート構造を有している。また、シリコン層104内には、p<sup>+</sup>形のボディ領域111が選択的に形成されている。

【0003】NMOS、素子分離絶縁膜105、及びボディ領域111上には、層間絶縁膜120が形成されている。層間絶縁膜120上には、配線113、117がそれぞれ選択的に形成されている。層間絶縁膜120内には、配線113とドレイン領域109dとを互いに電氣的に接続するための、内部が導体プラグで充填されたコンタクトホール112が選択的に形成されている。また、層間絶縁膜120内には、配線117とソース領域109sとを互いに電氣的に接続するための、内部が導体プラグで充填されたコンタクトホール116が選択的に形成されている。

【0004】層間絶縁膜120上には、層間絶縁膜121が形成されており、層間絶縁膜121上には、電源配線115及び接地配線119がそれぞれ選択的に選択的に形成されている。層間絶縁膜121内には、電源配線115と配線113とを互いに電氣的に接続するため

の、内部が導体プラグで充填されたコンタクトホール114が選択的に形成されている。また、層間絶縁膜121内には、接地配線119と配線117とを互いに電氣的に接続するための、内部が導体プラグで充填されたコンタクトホール118が選択的に形成されている。

【0005】図48は、SOI基板を用いた第2の従来の半導体装置の構造を示す上面図である。図48に示すように第2の従来の半導体装置は、パーシャルトレンチ型の素子分離絶縁膜105を挟んで互いに隣接して形成された、2つのCMOSトランジスタ(以下「CMOS」と称する)140、141を備えている。

【0006】

【発明が解決しようとする課題】しかし、図47に示した第1の従来の半導体装置には、以下のような問題があった。図49、50は、第1の従来の半導体装置の問題を説明するためのタイミングチャートである。図47に示した半導体装置を用いて論理回路を構成し、その論理回路は、入力電位が「H」の時に基準クロックが立ち下れば、出力電位が「L」から「H」に移り(例えば図49の時刻T1や図50の時刻T3)、入力電位が「L」の時に基準クロックが立ち下れば、出力電位が「H」から「L」に移る(例えば図49の時刻T2や図50の時刻T4)回路であるものとする。ここで、図47に示すように第1の従来の半導体装置において、電源配線115及び接地配線119は、ボディ領域111の上方に形成されている。従って、何らかの外部ノイズの影響によって電源配線115や接地配線119の電位が変動すると、容量カップリングによって、ボディ領域111の電位にも変動が生じる。そして、このボディ領域111の電位の変動は、上記論理回路の動作において、入力ノイズ130として表れる。

【0007】このとき、図49に示すように、論理回路の動作周波数が数kHz程度に低く、基準クロックの周期がノイズ130の波長よりも十分に長い場合は、論理回路の動作はノイズ130の影響を受けにくい。しかし、図50に示すように論理回路の動作周波数が数GHz程度に高くなると、論理回路の動作はノイズ130の影響を受けやすくなる。図50に示した例では、時刻T5において出力電位が「L」から「H」に移り、時刻T6において出力電位が「H」から「L」に移る結果、誤った出力パルス131が発生している。

【0008】このように第1の従来の半導体装置によると、ボディ領域の電位が電源配線や接地配線の電位の変動による影響を受けやすいため、半導体装置の動作周波数が高くなると誤動作を生じやすいという問題があった。

【0009】また、図48に示した第2の従来の半導体装置には、以下のような問題があった。図51は、第2の従来の半導体装置の問題を説明するための断面図であ

る。図 51 は、図 48 に示した半導体装置の、ライン L100 に沿った位置における断面構造に相当するものであり、図 51 に示した左側のトランジスタが CMOS140 の有する NMOS に対応し、右側のトランジスタが CMOS141 の有する NMOS に対応する。

【0010】一般的に、トランジスタの動作は温度による影響を受けやすく、周囲の温度が高くなるほどトランジスタの電流が低下することが知られている。ここで、図 48 に示した半導体装置において、CMOS140 の動作しきい値電圧が比較的高く、大きな電流が流れて発熱量が大きい一方、CMOS141 の動作しきい値電圧が比較的低く、発熱量も小さいものとする。このような場合、CMOS140 において発生した熱は、図 51 に示した矢印 150 で表されるように、素子分離絶縁膜 105 の下のシリコン層 104 を通って CMOS141 に伝導する。そして、この熱は CMOS141 の電流を小さくするように作用し、CMOS141 の動作を不安定にする。その結果、特にアナログ回路や RF 回路等のように微妙な電流の大きさによって回路動作が決定される回路においては、誤動作が生じて回路特性を劣化させる。

【0011】このように第 2 の従来の半導体装置によると、発熱量が異なる 2 つの半導体素子が互いに隣接して形成されている場合に、一方の半導体素子における発熱が他方の半導体素子の動作に影響を及ぼし、誤動作を招くという問題があった。

【0012】本発明はこれらの問題を解決するために成されたものであり、第 1 に、電源配線や接地配線の電位の変動に起因するボディ領域の電位の変動を抑制することにより、半導体装置の動作周波数が高くなった場合であっても誤動作を防止し得る半導体装置及びその製造方法を得ることを目的とする。また、第 2 に、発熱量が異なる 2 つの半導体素子が互いに隣接して形成されている場合に、一方の半導体素子における発熱が他方の半導体素子の動作に与える影響を緩和することにより、誤動作を防止し得る半導体装置及びその製造方法を得ることを目的とするものである。

【0013】

【課題を解決するための手段】この発明のうち請求項 1 に記載の半導体装置は、半導体基板、絶縁層、及び半導体層がこの順に積層された構造を有する SOI 基板と、半導体層の主面内に形成された部分分離型素子分離絶縁膜と、半導体層内において、部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された第 1 の半導体素子と、第 1 の半導体素子及び部分分離型素子分離絶縁膜上に形成された層間絶縁膜と、層間絶縁膜上に形成された、電源／接地配線の少なくとも一方と、電源／接地配線の少なくとも一方の下方において、半導体層の主面から絶縁層の上面に達して形成された第 1 の完全分離型素子分離絶縁膜とを備えるものである。

【0014】また、この発明のうち請求項 2 に記載の半導体装置は、請求項 1 に記載の半導体装置であって、半導体層内において第 1 の半導体素子に隣接して形成され、第 1 の半導体素子の有する動作しきい値電圧と異なる動作しきい値電圧を有する第 2 の半導体素子と、第 1 の半導体素子と第 2 の半導体素子との間において、半導体層の主面から絶縁層の上面に達して形成された第 2 の完全分離型素子分離絶縁膜とをさらに備えることを特徴とするものである。

10 【0015】また、この発明のうち請求項 3 に記載の半導体装置は、請求項 1 に記載の半導体装置であって、半導体層内において第 1 の半導体素子に隣接して形成され、第 1 の半導体素子の動作周波数と異なる動作周波数の第 2 の半導体素子と、第 1 の半導体素子と第 2 の半導体素子との間において、半導体層の主面から絶縁層の上面に達して形成された第 2 の完全分離型素子分離絶縁膜とをさらに備えることを特徴とするものである。

20 【0016】また、この発明のうち請求項 4 に記載の半導体装置は、請求項 1 ～ 3 のいずれか一つに記載の半導体装置であって、層間絶縁膜上に形成され、第 1 の半導体素子に電気的に接続された信号配線と、信号配線の下方において、半導体層の主面から絶縁層の上面に達して形成された第 3 の完全分離型素子分離絶縁膜とをさらに備えることを特徴とするものである。

30 【0017】また、この発明のうち請求項 5 に記載の半導体装置は、請求項 1 ～ 4 のいずれか一つに記載の半導体装置であって、層間絶縁膜上に形成され、第 1 の半導体素子と外部素子とを電気的に接続するためのボンディングパッドと、ボンディングパッドの下方において、半導体層の主面から絶縁層の上面に達して形成された第 4 の完全分離型素子分離絶縁膜とをさらに備えることを特徴とするものである。

40 【0018】また、この発明のうち請求項 6 に記載の半導体装置は、半導体基板、絶縁層、及び半導体層がこの順に積層された構造を有する SOI 基板と、半導体層の主面内に形成された部分分離型素子分離絶縁膜と、半導体層内において、部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された第 1 の半導体素子と、半導体層内において第 1 の半導体素子に隣接して形成され、第 1 の半導体素子の有する動作しきい値電圧と異なる動作しきい値電圧を有する第 2 の半導体素子と、第 1 の半導体素子と第 2 の半導体素子との間において、半導体層の主面から絶縁層の上面に達して形成された完全分離型素子分離絶縁膜とを備えるものである。

50 【0019】また、この発明のうち請求項 7 に記載の半導体装置は、半導体基板、絶縁層、及び半導体層がこの順に積層された構造を有する SOI 基板と、半導体層の主面内に形成された部分分離型素子分離絶縁膜と、半導体層内において、部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された第 1 の半導体素子

と、半導体層内において第1の半導体素子に隣接して形成され、第1の半導体素子の動作周波数と異なる動作周波数の第2の半導体素子と、第1の半導体素子と第2の半導体素子との間において、半導体層の主面から絶縁層の上面に達して形成された完全分離型素子分離絶縁膜とを備えるものである。

【0020】また、この発明のうち請求項8に記載の半導体装置は、半導体基板、絶縁層、及び半導体層がこの順に積層された構造を有するSOI基板と、半導体層の主面内に形成された部分分離型素子分離絶縁膜と、半導体層内において、部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された半導体素子と、半導体素子及び部分分離型素子分離絶縁膜上に形成された層間絶縁膜と、層間絶縁膜上に形成され、半導体素子に電気的に接続された信号配線と、信号配線の下方において、半導体層の主面から絶縁層の上面に達して形成された完全分離型素子分離絶縁膜とを備えるものである。

【0021】また、この発明のうち請求項9に記載の半導体装置は、請求項8に記載の半導体装置であって、信号配線は、多層配線構造を成す複数の配線を有しており、完全分離型素子分離絶縁膜は、複数の配線のうち、少なくとも最下層の配線の下方に形成されていることを特徴とするものである。

【0022】また、この発明のうち請求項10に記載の半導体装置は、請求項9に記載の半導体装置であって、完全分離型素子分離絶縁膜は、複数の配線のうち、最下層の次にSOI基板に近い配線層の配線の下方にも形成されていることを特徴とするものである。

【0023】また、この発明のうち請求項11に記載の半導体装置は、請求項8～10のいずれか一つに記載の半導体装置であって、信号配線は、GHzオーダー以上の周波数の信号が通る配線であることを特徴とするものである。

【0024】また、この発明のうち請求項12に記載の半導体装置は、請求項8に記載の半導体装置であって、半導体素子はバッファ回路であり、信号配線は、バッファ回路と、外部装置に接続されたボンディングパッドとの間を繋ぐ配線であることを特徴とするものである。

【0025】また、この発明のうち請求項13に記載の半導体装置は、半導体基板、絶縁層、及び半導体層がこの順に積層された構造を有するSOI基板と、半導体層の主面内に形成された部分分離型素子分離絶縁膜と、半導体層内において、部分分離型素子分離絶縁膜によって規定される素子形成領域内に形成された半導体素子と、半導体素子と外部素子とを電気的に接続するためのボンディングパッドと、ボンディングパッドの下方において、半導体層の主面から絶縁層の上面に達して形成された完全分離型素子分離絶縁膜とを備えるものである。

【0026】また、この発明のうち請求項14に記載の半導体装置は、半導体基板、絶縁層、及び半導体層がこ

の順に積層された構造を有するSOI基板と、半導体層の主面内に形成された部分分離型素子分離絶縁膜と、部分分離型素子分離絶縁膜によって規定される素子形成領域内において、半導体層内に形成されたチャンネル領域を有する半導体素子と、半導体素子及び部分分離型素子分離絶縁膜上に形成された層間絶縁膜と、層間絶縁膜上に形成された、電源/接地配線の少なくとも一方と、半導体層内において電源/接地配線の少なくとも一方の下方に形成され、チャンネル領域よりも高抵抗の高抵抗領域とを備えるものである。

【0027】また、この発明のうち請求項15に記載の半導体装置の製造方法は、(a)半導体基板、絶縁層、及び半導体層がこの順に積層された構造を有するSOI基板を準備する工程と、(b)半導体層の主面内に部分分離型素子分離絶縁膜を形成するとともに、電源/接地配線の少なくとも一方の形成予定領域の下方において、半導体層の主面から絶縁層の上面に達する第1の完全分離型素子分離絶縁膜を形成する工程と、(c)半導体層内において、部分分離型素子分離絶縁膜によって規定される素子形成領域内に、第1の半導体素子を形成する工程と、(d)第1の半導体素子、部分分離型素子分離絶縁膜、及び第1の完全分離型素子分離絶縁膜上に層間絶縁膜を形成する工程と、(e)層間絶縁膜上に電源/接地配線の少なくとも一方を形成する工程とを備えるものである。

【0028】また、この発明のうち請求項16に記載の半導体装置の製造方法は、請求項15に記載の半導体装置の製造方法であって、(f)半導体層内において、第1の半導体素子の有する動作しきい値電圧と異なる動作しきい値電圧を有する第2の半導体素子を、第1の半導体素子に隣接して形成する工程と、(g)第1の半導体素子と第2の半導体素子との間において、半導体層の主面から絶縁層の上面に達する第2の完全分離型素子分離絶縁膜を形成する工程とをさらに備えることを特徴とするものである。

【0029】また、この発明のうち請求項17に記載の半導体装置の製造方法は、請求項14に記載の半導体装置の製造方法であって、(f)半導体層内において、第1の半導体素子の動作周波数と異なる動作周波数の第2の半導体素子を、第1の半導体素子に隣接して形成する工程と、(g)第1の半導体素子と第2の半導体素子との間において、半導体層の主面から絶縁層の上面に達する第2の完全分離型素子分離絶縁膜を形成する工程とをさらに備えることを特徴とするものである。

【0030】また、この発明のうち請求項18に記載の半導体装置の製造方法は、請求項15～17のいずれか一つに記載の半導体装置の製造方法であって、(h)第1の半導体素子に電気的に接続される信号配線の形成予定領域の下方において、半導体層の主面から絶縁層の上面に達する第3の完全分離型素子分離絶縁膜を形成する



工程と、(i) 層間絶縁膜上に信号配線を形成する工程とをさらに備えることを特徴とするものである。

【0031】また、この発明のうち請求項19に記載の半導体装置の製造方法は、請求項14～17のいずれか一つに記載の半導体装置の製造方法であって、(j) 第1の半導体素子と外部素子とを電気的に接続するためのボンディングパッドの形成予定領域の下方において、半導体層の主面から絶縁層の上面に達する第4の完全分離型素子分離絶縁膜を形成する工程と、(k) 層間絶縁膜上にボンディングパッドを形成する工程とをさらに備えることを特徴とするものである。

【0032】また、この発明のうち請求項20に記載の半導体装置の製造方法は、請求項14に記載の半導体装置の製造方法であって、工程(b)は、(x) 部分分離型素子分離絶縁膜の形成予定領域及び第1の完全分離型素子分離絶縁膜の形成予定領域において、半導体層の主面を所定膜厚だけ掘り下げることにより、第1の凹部を形成する工程と、(y) 第1の完全分離型素子分離絶縁膜の形成予定領域において、工程(x)により露出した第1の凹部の底面を選択的に掘り下げて絶縁層の上面を露出することにより、第2の凹部を形成する工程と、(z) 第1の凹部内及び第2の凹部内に絶縁膜を埋め込む工程とを有することを特徴とするものである。

【0033】また、この発明のうち請求項21に記載の半導体装置の製造方法は、請求項20に記載の半導体装置の製造方法であって、工程(y)は、(y-1) 工程(x)により得られる構造上にフォトレジストを形成する工程と、(y-2) 所定のマスクパターンを有するフォトリソマスクを用いてフォトレジストを露光する工程と、(y-3) 露光後のフォトレジストを現像する工程と、(y-4) 現像後のフォトレジストをエッチングマスクとして半導体層をエッチングすることにより、第2の凹部を形成する工程とを有し、所定のマスクパターンは、電源/接地配線の少なくとも一方の形成予定領域が表されている配線レイアウトに基づいて自動生成されることを特徴とするものである。

#### 【0034】

【発明の実施の形態】以下、CMOSを例にとり、本発明の具体的な実施の形態について説明する。

【0035】実施の形態1. 図1は、本発明の実施の形態1に係る半導体装置の構造を示す上面図であり、図2は、図1に示した半導体装置の、ラインL1に沿った位置における断面構造を示す断面図である。但し、図1においては説明の都合上、後述する層間絶縁膜13、20及びサイドウォール8の記載を省略している。図1、2を参照して、本実施の形態1に係る半導体装置は、シリコン基板2、絶縁層3、及びシリコン層4がこの順に積層された積層構造を有するSOI基板1を備えている。シリコン層4の上面内には、パーシャルトレンチ型の素子分離絶縁膜5が選択的に形成されている。素子分離絶

縁膜5によって規定されるSOI基板1の素子形成領域には、PMOS及びNMOSが形成されている。

【0036】NMOSは、シリコン層4内に形成され、p形の不純物導入領域(チャネル領域)10を挟んで対を成す、いずれもn形のソース・ドレイン領域28を有している。また、NMOSは、不純物導入領域10上に形成され、ゲート絶縁膜6及びゲート電極7がこの順に積層された積層構造と、該積層構造の側面に形成されたサイドウォール8とを有するゲート構造を有している。

【0037】同様にPMOSは、シリコン層4内に形成され、n形の不純物導入領域(チャネル領域)9を挟んで対を成す、いずれもp形のソース・ドレイン領域27を有している。また、PMOSは、不純物導入領域9上に形成され、ゲート絶縁膜6及びゲート電極7がこの順に積層された積層構造と、該積層構造の側面に形成されたサイドウォール8とを有するゲート構造を有している。ゲート電極7は、PMOSとNMOSとの間の素子分離絶縁膜5上にも延在しており、PMOSのゲート電極7とNMOSのゲート電極とは一体として形成されている。また、シリコン層4内には、p形のボディ領域12及びn形のボディ領域11がそれぞれ選択的に形成されている。

【0038】NMOS、PMOS、素子分離絶縁膜5、及びボディ領域11、12上には、層間絶縁膜13が形成されている。層間絶縁膜13上には、配線15、17、19、26がそれぞれ選択的に形成されている。層間絶縁膜13内には、配線15とボディ領域11、配線17とボディ領域12、及び配線19とゲート電極7とをそれぞれ互いに電気的に接続するための、内部が導体プラグで充填されたコンタクトホール14、16、18がそれぞれ選択的に形成されている。また、図1を参照して、配線15、17は、層間絶縁膜13内にそれぞれ選択的に形成され、内部が導体プラグで充填されたコンタクトホール(図示しない)を介して、ソース・ドレイン領域27、28にそれぞれ電気的に接続されており、配線26は、層間絶縁膜13内にそれぞれ選択的に形成され、内部が導体プラグで充填されたコンタクトホール(図示しない)を介して、ソース・ドレイン領域27、28にそれぞれ電気的に接続されている。

【0039】図2を参照して、層間絶縁膜13上には層間絶縁膜20が形成されている。層間絶縁膜20上には、電源配線21及び接地配線22がそれぞれ選択的に形成されている。電源配線21及び接地配線22はいずれも、素子分離絶縁膜5の上方に形成されている。電源配線21の下方において、素子分離絶縁膜5には、絶縁層3の上面に達する完全分離部分23が形成されている。換言すれば、本実施の形態1に係る半導体装置は、電源配線21の下方において、シリコン層4の上面から絶縁層3の上面に達して形成された完全分離型の素子分

離絶縁膜を備えている。図2に示した完全分離部分23は、図1に示した完全分離領域24内に形成されており、図2に示した部分分離型の素子分離絶縁膜5は、図1に示した部分分離領域25内に形成されている。図1を参照して、電源配線21及び接地配線22は、層間絶縁膜20内にそれぞれ選択的に形成され、内部が導体プラグで充填されたコンタクトホール（図示しない）を介して、配線15、17にそれぞれ電気的に接続されている。

【0040】図3～16は、本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。まず、シリコン基板2、シリコン酸化膜から成り、4000オングストローム程度の膜厚を有する絶縁層3、及び2000オングストローム程度の膜厚を有するシリコン層4がこの順に積層された積層構造を有するSOI基板1を準備する（図3）。次に、2000オングストローム程度の膜厚を有するシリコン酸化膜30を、シリコン層4上に全面に形成する。その後、2000オングストローム程度の膜厚を有するシリコン窒化膜31を、シリコン酸化膜30上に全面に形成する（図4）。

【0041】次に、シリコン窒化膜31上の全面にフォトレジストを形成した後、素子分離絶縁膜5の形成レイアウトに対応するマスクパターンを有するフォトマスク（図示しない）を用いてフォトレジストを露光する。その後、フォトレジストを現像することにより、素子分離絶縁膜5の形成予定領域の上方に開口パターンを有するフォトレジスト32を形成する。その後、フォトレジスト32をエッチングマスクとして、シリコン窒化膜31、シリコン酸化膜30、及びシリコン層4をこの順に異方性ドライエッチングする。このエッチングは、シリコン層4が自身の上面から500～1000オングストローム程度エッチングされた時点で停止する。これにより、シリコン層4の上面内に凹部33が選択的に形成される（図5）。

【0042】次に、フォトレジスト32を除去した後、完全分離部分23の形成予定領域の上方に開口パターンを有するフォトレジスト34を形成する（図6）。例えば、ポジ型のフォトレジストを全面に塗布した後、完全分離部分23の形成予定領域の上方が開口したマスクパターンを有するフォトマスク（図示しない）を用いてフォトレジストを露光し、その後、露光された部分のフォトレジストを現像液によって溶解除去する。

【0043】次に、フォトレジスト34をエッチングマスクとしてシリコン層4をエッチングする。これにより、完全分離部分23の形成予定領域における凹部33の底面が掘り下げられて絶縁層3の上面が露出し、凹部35が形成される。その後、フォトレジスト34を除去する（図7）。次に、CVD法によって、5000オングストローム程度の膜厚を有するシリコン酸化膜36を全面に堆積する。これにより、凹部33、35内はシリ

コン酸化膜36によって埋め込まれる（図8）。

【0044】次に、CMP法によって、シリコン窒化膜31の上面が露出するまでシリコン酸化膜36を研磨除去する（図9）。次に、ウェットエッチングによってシリコン酸化膜36の上部を除去した後、シリコン窒化膜31及びシリコン酸化膜30を除去する。これにより、凹部33、35内に残ったシリコン酸化膜36として、素子分離絶縁膜5が得られる（図10）。

【0045】次に、NMOSの形成予定領域の上方に開口パターンを有するフォトレジスト37を形成した後、ボロン等の不純物38を数10keV、数 $e12cm^{-2}$ の条件下でイオン注入することにより、シリコン層4内に不純物導入領域10を形成する。次に、フォトレジスト37を除去した後、PMOSの形成予定領域の上方に開口パターンを有するフォトレジスト39を形成した後、リン等の不純物40を数100keV、数 $e12cm^{-2}$ の条件下でイオン注入することにより、シリコン層4内に不純物導入領域9を形成する（図12）。

【0046】次に、熱酸化法によってシリコン層4の上面上にゲート絶縁膜6を形成した後、CVD法によって3000オングストローム程度の膜厚を有するポリシリコン膜を堆積し、そのポリシリコン膜をパターニングすることにより、ゲート電極7を形成する。これにより、ゲート絶縁膜6及びゲート電極7がこの順に積層された積層構造を有するゲート構造が得られる（図13）。

【0047】次に、ゲート構造の側面にサイドウォール8を形成した後、ボディ領域11の形成予定領域及びソース・ドレイン領域28の形成予定領域の上方に開口パターンを有するフォトレジスト41を形成する。その後、フォトレジスト41及びゲート電極7をマスクとして、ヒ素等の不純物42を、数10keV、数 $e15cm^{-2}$ の条件下でイオン注入することにより、シリコン層4内にボディ領域11及びソース・ドレイン領域28を形成する（図14）。次に、フォトレジスト41を除去した後、ボディ領域12の形成予定領域及びソース・ドレイン領域27の形成予定領域の上方に開口パターンを有するフォトレジスト43を形成する。その後、フォトレジスト43及びゲート電極7をマスクとして、フッ化ボロン（BF<sub>2</sub>）等の不純物44を、数10keV、数 $e15cm^{-2}$ の条件下でイオン注入することにより、シリコン層4内にボディ領域12及びソース・ドレイン領域27を形成する（図15）。

【0048】次に、フォトレジスト43を除去した後、ゲート電極7の上面、ソース・ドレイン領域27、28の上面、及びボディ領域11の上面をそれぞれシリサイド化することにより、コバルトシリサイド層（図示しない）を形成する。その後、10000オングストローム程度の膜厚を有するシリコン酸化膜をCVD法によって全面に堆積した後、そのシリコン酸化膜をCMP法によって5000オングストローム程度研磨除去して表面を

平坦化することにより、層間絶縁膜 13 を形成する。その後、層間絶縁膜 13 を選択的に開口してコンタクトホール 14, 16, 18 を形成した後、各コンタクトホールの内部に導体プラグを埋め込む。その後、層間絶縁膜 13 上に、アルミニウムやポリシリコン等から成る配線 15, 17, 19 をそれぞれ選択的に形成する (図 16)。

【0049】次に、CVD 法によってシリコン酸化膜を全面に堆積した後、CMP 法によってその表面を平坦化することにより層間絶縁膜 20 を形成する。その後、内部が導体プラグで充填されたコンタクトホールを層間絶縁膜 20 内に選択的に形成し、さらにアルミニウムやポリシリコン等から成る電源配線 21 及び接地配線 22 を層間絶縁膜 20 上にそれぞれ選択的に形成することにより、図 2 に示した構造を得る。

【0050】このように本実施の形態 1 に係る半導体装置によれば、電源配線 21 の下方には、ボディ領域 11 やシリコン層 4 のシリコン部分ではなく、完全分離部分 23 を有する素子分離絶縁膜 5、即ち完全分離型の素子分離絶縁膜が形成されている。そのため、何らかの外部ノイズの影響によって電源配線 21 の電位が変動したとしても、容量カップリングによってボディ領域 11 の電位が変動することはない。従って、半導体装置の動作周波数が高くなった場合であっても、ボディ領域 11 の電位の変動に起因する誤動作を適切に防止することができる。

【0051】実施の形態 2. 図 17 は、本発明の実施の形態 2 に係る半導体装置の構造を示す上面図であり、図 18 は、図 17 に示した半導体装置の、ライン L2 に沿った位置における断面構造を示す断面図である。但し、図 17 においては説明の都合上、層間絶縁膜 13, 20 及びサイドウォール 8 の記載を省略している。図 17, 18 に示すように本実施の形態 2 に係る半導体装置は、図 1, 2 に示した上記実施の形態 1 に係る半導体装置を基礎として、電源配線 21 の下方に形成されていた完全分離部分 23 の代わりに、接地配線 22 の下方に完全分離部分 51 を形成したものである。図 18 に示した完全分離部分 51 は、図 17 に示した完全分離領域 50 内に形成されている。本実施の形態 2 に係る半導体装置のその他の構造は、上記実施の形態 1 に係る半導体装置の構造と同様である。

【0052】本実施の形態 2 に係る半導体装置は、図 3 ~ 16 において工程順に示した上記実施の形態 1 に係る半導体装置の製造方法を基礎として、図 6 に示した工程で使用するフォトマスクのマスクパターンを変更することによって形成することができる。例えば、ポジ型のフォトレジストを全面に塗布した後、完全分離部分 51 の形成予定領域の上方が開口したマスクパターンを有するフォトマスクを用いてフォトレジストを露光し、その後、露光された部分のフォトレジストを現像液によって

溶解除去する。これにより、完全分離部分 51 の形成予定領域の上方に開口パターンを有するフォトレジスト 34 を形成する。

【0053】このように本実施の形態 2 に係る半導体装置によれば、接地配線 22 の下方には、ボディ領域 12 やシリコン層 4 のシリコン部分ではなく、完全分離部分 51 を有する素子分離絶縁膜 5、即ち完全分離型の素子分離絶縁膜が形成されている。そのため、何らかの外部ノイズの影響によって接地配線 22 の電位が変動したとしても、容量カップリングによってボディ領域 12 の電位が変動することはない。従って、半導体装置の動作周波数が高くなった場合であっても、ボディ領域 12 の電位の変動に起因する誤動作を適切に防止することができる。

【0054】実施の形態 3. 図 19 は、本発明の実施の形態 3 に係る半導体装置の構造を示す上面図であり、図 20 は、図 19 に示した半導体装置の、ライン L3 に沿った位置における断面構造を示す断面図である。但し、図 19 においては説明の都合上、層間絶縁膜 13, 20 及びサイドウォール 8 の記載を省略している。図 19, 20 に示すように本実施の形態 3 に係る半導体装置は、図 1, 2 に示した上記実施の形態 1 に係る半導体装置を基礎として、電源配線 21 の下方に形成されていた完全分離部分 23に加えて、上記実施の形態 2 に係る半導体装置と同様に、接地配線 22 の下方にも完全分離部分 51 をさらに形成したものである。本実施の形態 3 に係る半導体装置のその他の構造は、上記実施の形態 1, 2 に係る半導体装置の構造と同様である。

【0055】本実施の形態 3 に係る半導体装置は、図 3 ~ 16 において工程順に示した上記実施の形態 1 に係る半導体装置の製造方法を基礎として、図 6 に示した工程で使用するフォトマスクのマスクパターンを変更することによって形成することができる。例えば、ポジ型のフォトレジストを全面に塗布した後、完全分離部分 23, 51 の形成予定領域の上方が開口したマスクパターンを有するフォトマスクを用いてフォトレジストを露光し、その後、露光された部分のフォトレジストを現像液によって溶解除去する。これにより、完全分離部分 23, 51 の形成予定領域の上方に開口パターンを有するフォトレジスト 34 を形成する。

【0056】このように本実施の形態 3 に係る半導体装置によれば、電源配線 21 及び接地配線 22 の下方には、ボディ領域 11, 12 やシリコン層 4 のシリコン部分ではなく、完全分離部分 23, 51 を有する素子分離絶縁膜 5、即ち完全分離型の素子分離絶縁膜がそれぞれ形成されている。そのため、何らかの外部ノイズの影響によって電源配線 21 や接地配線 22 の電位が変動したとしても、容量カップリングによってボディ領域 11, 12 の電位が変動することはない。従って、半導体装置の動作周波数が高くなった場合であっても、ボディ領域

11, 12の電位の変動に起因する誤動作を適切に防止することができる。

【0057】実施の形態4. 図21は、本発明の実施の形態4に係る半導体装置の構造を示す上面図であり、図22は、図21に示した半導体装置の、ラインL4に沿った位置における断面構造を示す断面図である。但し、図21においてはサイドウォール8の記載を省略している。図21, 22に示すように本実施の形態4に係る半導体装置は、完全分離部分58を有する素子分離絶縁膜5を挟んで互いに隣接して形成された、2つのCMOS55, 56を備えている。図22に示した完全分離部分58は、図21に示した完全分離領域57内に形成されている。CMOS55の有する動作しきい値電圧は、CMOS56の有する動作しきい値電圧よりも低く、CMOS55, 56の動作時において、CMOS55からの発熱量はCMOS56からの発熱量よりも大きい。

【0058】素子分離絶縁膜5の完全分離部分58は、図6に示した上記実施の形態1に係る半導体装置の製造方法と同様の方法によって形成することができる。例えば、ポジ型のフォトリソを全面に塗布した後、完全分離部分58の形成予定領域の上方が開口したマスクパターンを有するフォトリソを用いてフォトリソを露光し、その後、露光された部分のフォトリソを現像液によって溶解除去する。これにより、完全分離部分58の形成予定領域の上方に開口パターンを有するフォトリソ34を形成する。

【0059】なお、本実施の形態4に係る発明を、上記実施の形態1〜3に係る発明に組み合わせて適用することも可能である。

【0060】このように本実施の形態4に係る半導体装置によれば、動作しきい値電圧が互いに異なる2つのCMOS55, 56が互いに隣接して形成されている半導体装置において、その2つのCMOS55, 56の間には、部分分離型の素子分離絶縁膜ではなく、完全分離部分58を有する素子分離絶縁膜5、即ち完全分離型の素子分離絶縁膜が形成されている。従って、CMOS55において発生した熱がCMOS56に伝導することを抑制することができるため、その熱によってCMOS56の動作が不安定になることを適切に防止することができる。

【0061】実施の形態5. 図23は、本発明の実施の形態5に係る半導体装置の構造を示す上面図であり、図24は、図23に示した半導体装置の、ラインL5に沿った位置における断面構造を示す断面図である。但し、図23においてはサイドウォール8の記載を省略している。図23, 24に示すように本実施の形態5に係る半導体装置は、完全分離部分63を有する素子分離絶縁膜5を挟んで互いに隣接して形成された、2つのCMOS60, 61を備えている。図24に示した完全分離部分63は、図23に示した完全分離領域62内に形成され

ている。CMOS60, 61の動作周波数は互いに異なり、ここでは、CMOS60の動作周波数が、CMOS61の動作周波数よりも高いものとする。

【0062】素子分離絶縁膜5の完全分離部分63は、図6に示した上記実施の形態1に係る半導体装置の製造方法と同様の方法によって形成することができる。例えば、ポジ型のフォトリソを全面に塗布した後、完全分離部分63の形成予定領域の上方が開口したマスクパターンを有するフォトリソを用いてフォトリソを露光し、その後、露光された部分のフォトリソを現像液によって溶解除去する。これにより、完全分離部分63の形成予定領域の上方に開口パターンを有するフォトリソ34を形成する。

【0063】なお、本実施の形態5に係る発明を、上記実施の形態1〜3に係る発明に組み合わせて適用することも可能である。

【0064】このように本実施の形態5に係る半導体装置によれば、動作周波数が互いに異なる2つのCMOS60, 61が互いに隣接して形成されている半導体装置において、その2つのCMOS60, 61の間には、部分分離型の素子分離絶縁膜ではなく、完全分離部分63を有する素子分離絶縁膜5、即ち完全分離型の素子分離絶縁膜が形成されている。

【0065】動作周波数が高いCMOS60ではボディ電位の変化が大きく、逆に動作周波数が低いCMOS61ではボディ電位の変化が小さい。従って、CMOS60, 61の間に部分分離型の素子分離絶縁膜が形成されている場合は、CMOS60, 61の各ボディ電位が、部分分離型の素子分離絶縁膜5と絶縁層3との間のシリコン層4を介して互いに影響を及ぼし合う。その結果、アナログ回路やRF回路等のように微妙な電流の大きさによって回路動作が決定される回路においては、ボディ電位の相互影響に起因する微小な特性の変化が、回路の特性自体に大きな影響を及ぼす。これに対して、本実施の形態5に係る半導体装置によれば、CMOS60, 61の間には完全分離型の素子分離絶縁膜が形成されているため、上記のようにCMOS60, 61の各ボディ電位が互いに影響を及ぼし合うことを適切に防止することができる。

【0066】実施の形態6. 図25は、本発明の実施の形態6に係る半導体装置の構造を示す上面図であり、図26は、図25に示した半導体装置の、ラインL6に沿った位置における断面構造を示す断面図である。但し、図25においては説明の都合上、層間絶縁膜13, 20及びサイドウォール8の記載を省略している。図25, 26に示すように本実施の形態6に係る半導体装置は、図1, 2に示した上記実施の形態1に係る半導体装置を基礎として、電源配線21の下方に形成されていた完全分離部分23の代わりに、CMOSの信号入力配線である配線19の下方に完全分離部分66を形成したもので

ある。但し、完全分離部分66とともに、図1に示した完全分離部分23や図17に示した完全分離部分51を併せて形成してもよい。図26に示した完全分離部分66は、図25に示した完全分離領域65内に形成されている。本実施の形態6に係る半導体装置のその他の構造は、上記実施の形態1に係る半導体装置の構造と同様である。

【0067】本実施の形態6に係る半導体装置は、図3～16において工程順に示した上記実施の形態1に係る半導体装置の製造方法を基礎として、図6に示した工程で使用するフォトマスクのマスクパターンを変更することによって形成することができる。例えば、ポジ型のフォトレジストを全面に塗布した後、完全分離部分66の形成予定領域の上方が開口したマスクパターンを有するフォトマスクを用いてフォトレジストを露光し、その後、露光された部分のフォトレジストを現像液によって溶解除去する。これにより、完全分離部分66の形成予定領域の上方に開口パターンを有するフォトレジスト34を形成する。

【0068】このように本実施の形態6に係る半導体装置によれば、配線19の下方には、完全分離部分66を有する素子分離絶縁膜5、即ち完全分離型の素子分離絶縁膜が形成されている。そのため、CMOSへの入力信号にゆらぎが生じたとしても、そのゆらぎに起因してボディ電位が変化することを抑制することができる。従って、特にアナログ回路やRF回路に関して、ドレイン電流 $I_d$ の線形性が求められる領域において、このボディ電位の変化に起因するドレイン電流 $I_d$ の変動を抑制できるため、回路特性の向上を図ることができる。

【0069】なお、図25、26では、ポリシリコンから成るゲート電極7と、アルミから成る入力用の配線19とがコンタクトホール18を介して互いに接続されているタイプの半導体装置を示したが、いずれもポリシリコンから成るゲート電極7及び入力用の配線19が一体として形成されているタイプの半導体装置であっても、配線19の下方に完全分離型の素子分離絶縁膜を形成することによって、上記と同様の効果が得られる。

【0070】実施の形態7。本実施の形態7では、上記実施の形態1～3、6に係る半導体装置、あるいは後述する実施の形態10～12に係る半導体装置のように、素子分離絶縁膜の完全分離部分が配線の下方に形成されている半導体装置の製造方法に関して、その完全分離部分を形成する際に使用されるフォトマスクのマスクパターンの自動生成方法を提案する。

【0071】図27～29は、本発明の実施の形態7に係るマスクパターンの生成方法を説明するための概念図である。図27(A)に示すように、設計段階で作成される配線レイアウト70には、配線形成領域71及び配線非形成領域72が、それぞれ2値論理の「1」及び「0」として表されている。本実施の形態7では、この

配線レイアウト70を参照することによって、フォトマスクのマスクパターンを自動生成する。以下、ポジ型のフォトレジストを形成する場合を例にとり、具体的に説明する。

【0072】まず、配線レイアウト70に表されている論理を反転することにより、マスクパターン生成のための設計レイアウト（図示しない）を生成する。このようにして生成された設計レイアウトには、マスクパターンの開口部分及び非開口部分が、それぞれ2値論理の「0」及び「1」として表されている。そして、この設計レイアウトに基づいてフォトマスクを作製する。図27(B)に示すように、作製されたフォトマスク73は、配線レイアウト70の配線形成領域71に対応する開口部74と、配線非形成領域72に対応する非開口部75とを有している。

【0073】以下、上記したマスクパターンの自動生成方法を、本発明に係る半導体装置の製造方法に適用する方法について説明する。図28には、上記実施の形態1～3、6に係る半導体装置に対応するCMOSレイアウト76が示されている。まず、このCMOSレイアウト76内で、完全分離部分の形成を禁止する禁止領域77を指定する。具体的には、ソース・ドレイン領域27、28やボディ領域11、12等を含む、CMOSの形成領域の周辺を禁止領域77として指定する。

【0074】次に、図1に示した電源配線21、接地配線22、及び配線19、26に関する配線レイアウトと、禁止領域77が指定されたCMOSレイアウト76とを参照することにより、禁止領域77以外の領域において、上記マスクパターンの自動生成方法を適用して、図6に示した工程でフォトレジストを露光する際に使用されるフォトマスクを作製する。その後、上記実施の形態1で説明した方法によって、完全分離部分及び部分分離部分を有する素子分離絶縁膜を形成する。図29には、このようにして形成された素子分離絶縁膜の分離パターン78のうち、完全分離部分が形成されている箇所のみが完全分離領域79として示されている。図29によると、CMOSレイアウト76の禁止領域77以外の領域において、電源配線21、接地配線22、及び配線19、26の下方に、完全分離領域79がそれぞれ形成されていることが分かる。

【0075】以上の説明では、配線レイアウト70に表されている論理を単に反転することにより設計レイアウトを生成した結果、完全分離部分の幅は配線の幅に等しかった。ここでは、上記マスクパターンの自動生成方法を基礎として、配線の幅よりも広い幅の完全分離部分を形成する方法について説明する。

【0076】図30、31は、本発明の実施の形態7に係る他のマスクパターンの生成方法を説明するための概念図である。図30(A)に示されるように、配線レイアウト70には、幅がW1の配線形成領域71が表され

ている。設計レイアウトを生成する際には、配線形成領域 71 の幅を  $W2 (> W1)$  とみなして（即ち配線幅にオーバーサイズを施して）、配線レイアウト 70 の論理を反転する。図 30 (B) に示されるように、このようにして生成された設計レイアウト 81 には、幅が  $W2$  の開口部分 82 と、その他の非開口部分 83 とが表されている。そして、この設計レイアウト 81 に基づいてフォトマスクを作製する。図 30 (C) に示すように、作製されたフォトマスク 84 は、設計レイアウト 81 の開口部分 82 に対応する、幅が  $W2$  の開口部 85 と、設計レイアウト 81 の非開口部分 83 に対応する非開口部 86 とを有している。

【0077】図 31 には、上記他のマスクパターンの生成方法を本発明に係る半導体装置の製造方法に適用した結果が示されている。図 31 に示した分離パターン 87 と図 29 に示した分離パターン 78 とを比較すると、分離パターン 78 の完全分離領域 79 の幅に比べて、分離パターン 87 の完全分離領域 88 の幅の方が広がっていることが分かる。

【0078】なお、設計レイアウトを生成する際に配線幅にアンダーサイズを施すことにより、完全分離部分の幅を、配線の実際の幅よりも狭く設定することも可能である。

【0079】このように本実施の形態 7 に係るマスクパターンの生成方法によれば、素子分離絶縁膜の完全分離部分を配線の下方に形成する半導体装置の製造方法において、配線レイアウトを参照することにより、完全分離部分を形成する際に使用されるフォトマスクのマスクパターンを容易に生成することができる。

【0080】実施の形態 8。図 32 は、本発明の実施の形態 8 に係る半導体装置の構造を示す上面図であり、図 33 は、図 32 に示した半導体装置の、ライン L7 に沿った位置における断面構造を示す断面図である。IC チップ 90 の中央部には、上記各実施の形態 1～6 に係る半導体装置が、LSI 91 として作り込まれている。また、IC チップ 90 の周縁部には、LSI 91 と外部素子とを電気的に接続するための、アルミニウム等から成る複数のボンディングパッド 92 が並んで配置されている。ボンディングパッド 92 は、層間絶縁膜 20 上に形成されている。また、本実施の形態 8 に係る半導体装置は、ボンディングパッド 92 が形成されている領域の下方において、シリコン層 4 の上面から絶縁層 3 の上面に達して形成された、完全分離部分 95 を有する素子分離絶縁膜 5 を備えている。図 33 に示した完全分離部分 95 は、図 32 に示した完全分離領域 94 内に形成されている。

【0081】本実施の形態 8 に係る半導体装置は、図 3～16 において工程順に示した上記実施の形態 1 に係る半導体装置の製造方法を基礎として、図 6 に示した工程で使用するフォトマスクのマスクパターンを変更するこ

とによって形成することができる。例えば、ポジ型のフォトリソストを全面に塗布した後、完全分離部分 95 の形成予定領域の上方が開口したマスクパターンを有するフォトマスクを用いてフォトリソストを露光し、その後、露光された部分のフォトリソストを現像液によって溶解除去する。これにより、完全分離部分 95 の形成予定領域の上方に開口パターンを有するフォトリソスト 34 を形成する。

【0082】このように本実施の形態 8 に係る半導体装置によれば、ボンディングパッド 92 の下方には、完全分離部分 95 を有する素子分離絶縁膜 5、即ち完全分離型の素子分離絶縁膜が形成されている。そのため、何らかのノイズが外部素子からボンディングパッド 92 を介して IC チップ 90 に伝わってきた場合であっても、そのノイズに起因するボディ電位の変動を適切に防止することができる。その結果、アナログ回路や RF 回路における線形性を向上することが可能となる。

【0083】実施の形態 9。図 34 は、本発明の実施の形態 9 に係る半導体装置の構造を示す上面図であり、図 35 は、図 34 に示した半導体装置の、ライン L8 に沿った位置における断面構造を示す断面図である。但し、図 34 においては説明の都合上、層間絶縁膜 13、20 及びサイドウォール 8 の記載を省略している。図 34、35 に示すように本実施の形態 9 に係る半導体装置は、図 1、2 に示した上記実施の形態 1 に係る半導体装置を基礎として、完全分離部分 23 を形成する代わりに、 $n^-$  型の低濃度不純物領域 98 を形成したものである。低濃度不純物領域 98 は、電源配線 21 の下方において、パーシャルレンチ型の素子分離絶縁膜 5 の底面と絶縁層 3 の上面との間のシリコン層 4 内に形成されている。図 35 に示した低濃度不純物領域 98 は、図 34 に示した高抵抗領域 97 内に形成されている。本実施の形態 9 に係る半導体装置のその他の構造は、上記実施の形態 1 に係る半導体装置の構造と同様である。

【0084】なお、以上の説明では、図 1、2 に示した上記実施の形態 1 に係る半導体装置を基礎として本実施の形態 9 に係る発明を適用する場合について説明したが、これに限らず、上記実施の形態 2、3 に係る発明を基礎として本実施の形態 9 に係る発明を適用することも可能である。この場合、接地配線 22 の下方において、完全分離部分 51 を形成する代わりに、パーシャルレンチ型の素子分離絶縁膜 5 の底面と絶縁層 3 の上面との間のシリコン層 4 内に、 $p^-$  型の低濃度不純物領域を形成すればよい。

【0085】このように本実施の形態 9 に係る半導体装置によれば、電源配線 21 の下方に  $n^-$  型の低濃度不純物領域 98 を形成した。低濃度不純物領域 98 は例えば不純物導入領域 10 よりも抵抗値が高く、絶縁体に近い性質を有する。そのため、何らかの外部ノイズの影響によって電源配線 21 の電位が変動した場合であっても、

低濃度不純物領域 98 と電源配線 21 との間で容量カップリングは生じにくい。従って、電源配線 21 の電位の変動に起因するボディ領域 11 の電位の変動を抑制でき、その結果、アナログ回路や RF 回路における線形性を向上することが可能となる。

【0086】実施の形態 10. 図 36 は、本発明の実施の形態 10 に係る半導体装置の構造を示す上面図であり、図 37、38 はそれぞれ、図 10 に示した半導体装置の、ライン L9、L10 に沿った位置における断面構造を示す断面図である。但し、図 36 においては説明の都合上、層間絶縁膜 131 及びサイドウォール 8 の記載を省略している。図 36 に示すように本実施の形態 10 に係る半導体装置は、ゲート電極 7 とソース・ドレイン領域 28 とを有する NMOS を備えている。ゲート電極 7 には配線 19a1 が、ソース・ドレイン領域 28 には配線 19b1 が、それぞれ接続されている。ゲート電極 7 に接続される配線、及びソース・ドレイン領域 28 に接続される配線は、実際には多層配線構造を成している。配線 19a1、19b1 は、上記多層配線構造を構成する複数の配線層のうち、最も SOI 基板 1 の近くに形成されている最下層の第 1 層配線である。また、配線 19a1、19b1 はいずれも、アルミニウム等の金属から成る配線である。

【0087】図 37 を参照して、NMOS 及び素子分離絶縁膜 5 上には、層間絶縁膜 131 が形成されている。配線 19a1 は、層間絶縁膜 131 上に形成されている。また、配線 19a1 は、層間絶縁膜 131 内に選択的に形成され、内部が導体プラグで充填されたコンタクトホール 18a1 を介して、ゲート電極 7 に接続されている。配線 19a1 の下方において、素子分離絶縁膜 5 には、絶縁層 3 の上面に達する完全分離部分 66a が形成されている。換言すれば、図 37 に示した半導体装置は、第 1 層配線である配線 19a1 の下方において、シリコン層 4 の上面から絶縁層 3 の上面に達して形成された完全分離型の素子分離絶縁膜を備えている。図 37 に示した完全分離部分 66a は、図 36 に示した完全分離領域 65a 内に形成されている。

【0088】図 38 を参照して、配線 19b1 は、層間絶縁膜 131 上に形成されている。また、配線 19b1 は、層間絶縁膜 131 内にそれぞれ選択的に形成され、内部が導体プラグで充填されたコンタクトホール 18b1 を介して、ソース・ドレイン領域 28 にそれぞれ接続されている。配線 19b1 の下方において、素子分離絶縁膜 5 には、絶縁層 3 の上面に達する完全分離部分 66b が形成されている。換言すれば、図 38 に示した半導体装置は、第 1 層配線である配線 19b1 の下方において、シリコン層 4 の上面から絶縁層 3 の上面に達して形成された完全分離型の素子分離絶縁膜を備えている。図 38 に示した完全分離部分 66b は、図 36 に示した完全分離領域 65b 内に形成されている。

【0089】図 39 は、本発明の実施の形態 10 に係る半導体装置の他の構造を示す上面図であり、図 40、41 はそれぞれ、図 39 に示した半導体装置の、ライン L11、L12 に沿った位置における断面構造を示す断面図である。但し、図 39 においては説明の都合上、層間絶縁膜 131、132 及びサイドウォール 8 の記載を省略している。図 39 に示す半導体装置は、図 36 に示した半導体装置を基礎として、配線 19a に接続された配線 19a2、及び配線 19b1 に接続された配線 19b2 をさらに備えたものである。上記のように、ゲート電極 7 に接続される配線、及びソース・ドレイン領域 28 に接続される配線は、実際には多層配線構造を成している。配線 19a2、19b2 は、上記多層配線構造を構成する複数の配線層のうち、第 1 層配線である配線 19a1、19b1 の次に SOI 基板 1 の近くに形成されている第 2 層配線である。また、配線 19a2、19b2 はいずれも、アルミニウム等の金属から成る配線である。

【0090】図 40 を参照して、配線 19a1 及び層間絶縁膜 131 上には、層間絶縁膜 132 が形成されている。配線 19a2 は、層間絶縁膜 132 上に形成されている。また、配線 19a2 は、層間絶縁膜 132 内に選択的に形成され、内部が導体プラグで充填されたコンタクトホール 18a2 を介して、配線 19a1 に接続されている。配線 19a1、19a2 の下方において、素子分離絶縁膜 5 には、絶縁層 3 の上面に達する完全分離部分 66c が形成されている。換言すれば、図 40 に示した半導体装置は、第 1 層配線である配線 19a1 及び第 2 層配線である配線 19a2 の下方において、シリコン層 4 の上面から絶縁層 3 の上面に達して形成された完全分離型の素子分離絶縁膜を備えている。図 40 に示した完全分離部分 66c は、図 39 に示した完全分離領域 65c 内に形成されている。

【0091】図 41 を参照して、配線 19b1 及び層間絶縁膜 131 上には、層間絶縁膜 132 が形成されている。配線 19b2 は、層間絶縁膜 132 上に形成されている。また、配線 19b2 は、層間絶縁膜 132 内に選択的に形成され、内部が導体プラグで充填されたコンタクトホール 18b2 を介して、配線 19b1 に接続されている。配線 19b1、19b2 の下方において、素子分離絶縁膜 5 には、絶縁層 3 の上面に達する完全分離部分 66d が形成されている。換言すれば、図 41 に示した半導体装置は、第 1 層配線である配線 19b1 及び第 2 層配線である配線 19b2 の下方において、シリコン層 4 の上面から絶縁層 3 の上面に達して形成された完全分離型の素子分離絶縁膜を備えている。図 41 に示した完全分離部分 66d は、図 39 に示した完全分離領域 65d 内に形成されている。

【0092】このように本実施の形態 10 に係る半導体装置によれば、第 1 層配線の下方、あるいは第 1 層配線

及び第2層配線の下方には、シリコン層4のシリコン部分ではなく、完全分離部分66a~66dを有する素子分離絶縁膜5、即ち完全分離型の素子分離絶縁膜が形成されている。そのため、何らかの外部ノイズの影響によって配線19a1, 19b1、あるいは配線19a1, 19b1, 19a2, 19b2の電位が変動したとしても、容量カップリングによってトランジスタのボディ領域の電位が変動することはない。従って、半導体装置の動作周波数が高くなった場合であっても、ボディ領域の電位の変動に起因する誤動作を適切に防止することができる。

【0093】特に本実施の形態10に係る半導体装置においては、ボディ領域の電位に対して影響を及ぼしやすい、多層配線構造の下層配線（第1層配線、あるいは第1層配線及び第2層配線）の下方において、完全分離型の素子分離絶縁膜が形成されている。そのため、上記誤動作を防止する効果は大きい。但し、多層配線構造の下層配線の下方のみならず、上層配線の下方においても完全分離型の素子分離絶縁膜を形成してもよく、これにより、上記誤動作を防止する効果がさらに大きくなる。

【0094】実施の形態11. 図42は、本発明の実施の形態11に係る半導体装置の構造を示す上面図である。ICチップ90は、GHzオーダー以上の高い動作周波数で動作する回路が作り込まれた高速動作部90bと、いずれもGHzオーダー未満の動作周波数で動作する回路が作り込まれた低速動作部90a及び中速動作部90cとを備えている。ここで、「GHzオーダー以上の動作周波数で動作する」とは、例えば図36において、配線19a1にGHzオーダー以上の周波数の信号が通るということに等しい。

【0095】そして、高速動作部90b、低速動作部90a、及び中速動作部90cのうち、高速動作部90bに関して、上記実施の形態10に係る発明が適用されている。即ち、高速動作部90bにおいては、多層配線構造の下層配線の下方において、完全分離型の素子分離絶縁膜が形成されており、低速動作部90a及び中速動作部90cにおいては、多層配線構造の下層配線の下方において、部分分離型の素子分離絶縁膜が形成されている。但し、少なくとも高速動作部90bに関して上記実施の形態10に係る発明が適用されていればよく、高速動作部90b、低速動作部90a、及び中速動作部90cの全てに関して上記実施の形態10に係る発明を適用してもよい。

【0096】一般的に、高い動作周波数で動作する回路は、低い動作周波数で動作する回路に比べてノイズの影響を受けやすい。これに対して本実施の形態11に係る半導体装置によれば、ICチップ90が備える高速動作部90b、低速動作部90a、及び中速動作部90cのうち、少なくとも高速動作部90bにおいて、多層配線構造の下層配線の下方に完全分離型の素子分離絶縁膜が

形成されている。従って、本実施の形態11に係る半導体装置によれば、ノイズの影響を受けやすい高速動作部90bの回路を、安定に動作させることができる。

【0097】また、図43は、本発明の実施の形態11に係る半導体装置の他の構造を示す上面図である。図43に示した半導体装置は、図42に示した半導体装置を基礎として、高速動作部90bを取り囲む完全分離領域94bをさらに備えたものである。あるいは、高速動作部90b内において多層配線構造の下層配線の下方に完全分離型の素子分離絶縁膜を形成することなく、高速動作部90bを取り囲む完全分離領域94bを形成してもよい。完全分離領域94b内（即ち、図43においてハッチングを施した部分）には、完全分離型の素子分離絶縁膜が形成されている。このように、高速動作部90bの周囲に完全分離型の素子分離絶縁膜を形成することにより、低速動作部90aや中速動作部90cにおけるボディ領域の電位が、高速動作部90bにおけるボディ領域の電位の変動による影響を受けることを回避できる。

【0098】実施の形態12. 図44は、本発明の実施の形態12に係る半導体装置の構造を示す上面図である。ICチップ90は、外部装置（図示しない）に接続された複数のボンディングパッド92aと、配線152aを介してボンディングパッド92aに接続された入力バッファ回路151aと、配線153aを介して入力バッファ回路151aに接続された内部処理回路150と、配線153bを介して内部処理回路150に接続された出力バッファ回路151bと、配線152bを介して出力バッファ回路151bに接続された複数のボンディングパッド92bとを備えている。ボンディングパッド92bは外部装置（図示しない）に接続されている。また、入力バッファ回路151a及び出力バッファ回路151bは、シリコン層4内において、部分分離型の素子分離絶縁膜5によって規定される素子形成領域内に形成されている。

【0099】図45は、ボンディングパッド92aと入力バッファ回路151aとの接続部分を拡大して示す上面図であり、図46は、図45に示した半導体装置の、ラインL13に沿った位置における断面構造を示す断面図である。但し、図45においては説明の都合上、層間絶縁膜155~157の記載を省略している。

【0100】図45を参照して、入力バッファ回路151aは、一対のp<sup>+</sup>形のソース・ドレイン領域27を有するPMOSと、一対のn<sup>+</sup>形のソース・ドレイン領域28を有するNMOSと、PMOS及びNMOSに共通のゲート電極7とを有するCMOSを備えている。一対のソース・ドレイン領域27の一方は配線15に、他方は配線153aに、それぞれ接続されている。また、一対のソース・ドレイン領域28の一方は配線17に、他方は配線153aに、それぞれ接続されている。ゲート電極7は配線152a1の一端に、配線152a1の他



端は配線152a2の一端に、配線152a2の他端は配線152a3の一端に、配線152a3の他端はボンディングパッド92aに、それぞれ接続されている。配線152a1~152a3は、いずれもアルミニウム等の金属から成る配線である。

【0101】図46を参照して、ゲート電極7は素子分離絶縁膜5上に形成されている。ゲート電極7及び素子分離絶縁膜5上には層間絶縁膜155が形成されており、配線152a1、153aは層間絶縁膜155上に形成されている。配線152a1は、層間絶縁膜155内に選択的に形成され、内部が導体プラグで充填されたコンタクトホール154a1を介して、ゲート電極7に接続されている。配線152a1、153a及び層間絶縁膜155上には層間絶縁膜156が形成されており、配線152a2は層間絶縁膜156上に形成されている。配線152a2は、層間絶縁膜156内に選択的に形成され、内部が導体プラグで充填されたコンタクトホール154a2を介して、配線152a1に接続されている。配線152a2及び層間絶縁膜156上には層間絶縁膜157が形成されており、ボンディングパッド92a及び配線152a3は層間絶縁膜157上に形成されている。配線152a3は、層間絶縁膜157内に選択的に形成され、内部が導体プラグで充填されたコンタクトホール154a3を介して、配線152a2に接続されている。

【0102】配線152a1~152a3の下方において、素子分離絶縁膜5には、絶縁層3の上面に達する完全分離部分95aが形成されている。換言すれば、図46に示した半導体装置は、ボンディングパッド92aと入力バッファ回路151aとの間を繋ぐ配線152a1~152a3の下方において、シリコン層4の上面から絶縁層3の上面に達して形成された完全分離型の素子分離絶縁膜を備えている。図46に示した完全分離部分95aは、図44、45に示した完全分離領域94a内に形成されている。なお、図45、46に示した例では、ボンディングパッド92aの下方においても、完全分離型の素子分離絶縁膜が形成されている。

【0103】同様に図44に示した半導体装置は、出力バッファ回路151bとボンディングパッド92bとの間を繋ぐ配線152bの下方において、シリコン層4の上面から絶縁層3の上面に達して形成された完全分離型の素子分離絶縁膜を備えている。即ち、図44に示した完全分離領域94b内には、素子分離絶縁膜5の完全分離部分が形成されている。

【0104】入力バッファ回路151aは、配線152a及びボンディングパッド92aを介して外部装置に接続されているため、外部装置から入力されるノイズの影響を受けやすい。これに対して本実施の形態12に係る半導体装置によれば、ボンディングパッド92aと入力バッファ回路151aとの間を繋ぐ配線152aの下方

には、シリコン層4のシリコン部分ではなく、完全分離型の素子分離絶縁膜が形成されている。従って、本実施の形態12に係る半導体装置によれば、ノイズの影響によって配線152aの電位が変動した場合であっても、それに伴って配線152aの下方のシリコン層4の電位が変動することはない。結果として、外部装置から入力されたノイズの影響が内部処理回路150へ伝搬することを抑制することができる。

【0105】同様に、出力バッファ回路151bは、配線152b及びボンディングパッド92bを介して外部装置に接続されているため、外部装置から入力されるノイズの影響を受けやすい。これに対して本実施の形態12に係る半導体装置によれば、ボンディングパッド92bと出力バッファ回路151bとの間を繋ぐ配線152bの下方には、シリコン層4のシリコン部分ではなく、完全分離型の素子分離絶縁膜が形成されている。従って、本実施の形態12に係る半導体装置によれば、ノイズの影響によって配線152bの電位が変動した場合であっても、それに伴って配線152bの下方のシリコン層4の電位が変動することはない。結果として、外部装置から入力されたノイズの影響が内部処理回路150へ伝搬することを抑制することができる。

【0106】なお、配線152aの下方の完全分離形の素子分離絶縁膜、及び配線152bの下方の完全分離型の素子分離絶縁膜は、必ずしも双方を形成する必要はなく、目的とする効果に応じて、いずれか一方のみを形成してもよい。

【0107】また、図43に示したように、入力バッファ回路151aを取り囲む完全分離型の素子分離絶縁膜をさらに形成してもよい。これにより、入力バッファ回路151aと内部処理回路150との間で、ボディ電位の変動に関する相互影響を無くすることができる。同様に、出力バッファ回路151bを取り囲む完全分離型の素子分離絶縁膜をさらに形成してもよい。これにより、出力バッファ回路151bと内部処理回路150との間で、ボディ電位の変動に関する相互影響を無くすることができる。

【0108】

【発明の効果】この発明のうち請求項1に係るものによれば、電源/接地配線の少なくとも一方の下方には第1の完全分離型素子分離絶縁膜が形成されている。そのため、何らかの外部ノイズの影響によって電源/接地配線の少なくとも一方の電位が変動したとしても、その電位の変動に起因して半導体層の電位が変動することを防止することができる。

【0109】また、この発明のうち請求項2に係るものによれば、動作しきい値電圧が互いに異なる第1の半導体素子と第2の半導体素子との間には、第2の完全分離型素子分離絶縁膜が形成されている。従って、第1及び第2の半導体素子の一方の半導体素子において発生した

熱が他方の半導体素子に伝導することを抑制することができるため、その熱によって第1及び第2の半導体素子の動作が不安定になることを防止することができる。

【0110】また、この発明のうち請求項3に係るものによれば、動作周波数が互いに異なる第1の半導体素子と第2の半導体素子との間には、第2の完全分離型素子分離絶縁膜が形成されている。従って、第1の半導体素子が形成されている部分の半導体層の電位と、第2の半導体素子が形成されている部分の半導体層の電位とが、動作周波数が異なることに起因して互いに影響を及ぼし合うことを防止することができる。

【0111】また、この発明のうち請求項4に係るものによれば、信号配線の下方には第3の完全分離型素子分離絶縁膜が形成されている。そのため、外部ノイズの影響によって信号配線の電位に変動が生じたとしても、その変動に起因して半導体層の電位が変化することを防止することができる。

【0112】また、この発明のうち請求項5に係るものによれば、ボンディングパッドの下方には第4の完全分離型素子分離絶縁膜が形成されている。そのため、何らかのノイズが外部素子からボンディングパッドを介して伝わってきた場合であっても、そのノイズに起因して半導体層の電位が変動することを防止することができる。

【0113】また、この発明のうち請求項6に係るものによれば、動作しきい値電圧が互いに異なる第1の半導体素子と第2の半導体素子との間には、完全分離型素子分離絶縁膜が形成されている。従って、第1及び第2の半導体素子の一方の半導体素子において発生した熱が他方の半導体素子に伝導することを抑制することができるため、その熱によって第1及び第2の半導体素子の動作が不安定になることを防止することができる。

【0114】また、この発明のうち請求項7に係るものによれば、動作周波数が互いに異なる第1の半導体素子と第2の半導体素子との間には、完全分離型素子分離絶縁膜が形成されている。従って、第1の半導体素子が形成されている部分の半導体層の電位と、第2の半導体素子が形成されている部分の半導体層の電位とが、動作周波数が異なることに起因して互いに影響を及ぼし合うことを防止することができる。

【0115】また、この発明のうち請求項8に係るものによれば、信号配線の下方には完全分離型素子分離絶縁膜が形成されている。そのため、外部ノイズの影響によって信号配線の電位に変動が生じたとしても、その変動に起因して半導体層の電位が変化することを防止することができる。

【0116】また、この発明のうち請求項9に係るものによれば、半導体層の電位に対して影響を及ぼしやすい、多層配線構造の最下層の配線の下において、完全分離型素子分離絶縁膜が形成されている。そのため、外部ノイズの影響によって最下層の配線の電位に変動が生

じたとしても、その変動に起因して半導体層の電位が変化することを防止することができる。

【0117】また、この発明のうち請求項10に係るものによれば、外部ノイズの影響によって、最下層の配線及び最下層の次にSOI基板に近い配線層の配線の電位に変動が生じたとしても、その変動に起因して半導体層の電位が変化することを防止することができる。

【0118】また、この発明のうち請求項11に係るものによれば、第2の回路よりもノイズの影響を受けやすい第1の回路が作り込まれている第1の領域内において、信号配線の下方に完全分離型素子分離絶縁膜が形成されている。そのため、第1の領域において、信号配線の電位の変動に起因する半導体層の電位の変動を防止することができるため、ノイズの影響を受けやすい第1の回路を安定に動作させることができる。

【0119】また、この発明のうち請求項12に係るものによれば、ボンディングパッドとバッファ回路との間を繋ぐ配線の下方には、完全分離型素子分離絶縁膜が形成されている。従って、外部装置から入力されるノイズの影響によって配線の電位が変動した場合であっても、それに伴って配線の下方の半導体層の電位が変動することを防止することができる。

【0120】また、この発明のうち請求項13に係るものによれば、ボンディングパッドの下方には完全分離型素子分離絶縁膜が形成されている。そのため、何らかのノイズが外部素子からボンディングパッドを介して伝わってきた場合であっても、そのノイズに起因して半導体層の電位が変動することを防止することができる。

【0121】また、この発明のうち請求項14に係るものによれば、何らかの外部ノイズの影響によって電源/接地配線の少なくとも一方の電位が変動した場合であっても、高抵抗領域と電源/接地配線の少なくとも一方の間では容量カップリングが生じにくいいため、電源/接地配線の少なくとも一方の電位の変動に起因する半導体層の電位の変動を抑制することができる。

【0122】また、この発明のうち請求項15に係るものによれば、電源/接地配線の少なくとも一方の下方には、部分分離型素子分離絶縁膜ではなく、第1の完全分離型素子分離絶縁膜が形成される。そのため、外部ノイズに起因する電源/接地配線の少なくとも一方の電位の変動に対して、半導体層の電位が変動しない半導体装置を得ることができる。

【0123】また、この発明のうち請求項16に係るものによれば、動作しきい値電圧が互いに異なる第1の半導体素子と第2の半導体素子との間には、部分分離型素子分離絶縁膜ではなく、第2の完全分離型素子分離絶縁膜が形成される。従って、第1及び第2の半導体素子の一方の半導体素子において発生した熱が他方の半導体素子に伝導することを抑制できるため、発熱に対して安定した動作を行い得る半導体装置を得ることができる。

【0124】また、この発明のうち請求項17に係るものによれば、動作周波数が互いに異なる第1の半導体素子と第2の半導体素子との間には、部分分離型素子分離絶縁膜ではなく、第2の完全分離型素子分離絶縁膜が形成される。従って、第1の半導体素子が形成されている部分の半導体層と、第2の半導体素子が形成されている部分の半導体層とに関して、動作周波数が互いに異なることに起因する電位の相互影響を防止し得る半導体装置を得ることができる。

【0125】また、この発明のうち請求項18に係るものによれば、信号配線の下方には、部分分離型素子分離絶縁膜ではなく、第3の完全分離型素子分離絶縁膜が形成される。そのため、外部ノイズに起因する信号配線の電位の変動に対して、半導体層の電位が変動しない半導体装置を得ることができる。

【0126】また、この発明のうち請求項19に係るものによれば、ボンディングパッドの下方には、部分分離型素子分離絶縁膜ではなく、第4の完全分離型素子分離絶縁膜が形成される。そのため、何らかのノイズが外部素子からボンディングパッドを介して伝わってきた場合であっても、そのノイズに起因して半導体層の電位が変動しない半導体装置を得ることができる。

【0127】また、この発明のうち請求項20に係るものによれば、第1の完全分離型素子分離絶縁膜を、部分分離型素子分離絶縁膜内に選択的に形成された完全分離部分として、部分分離型素子分離絶縁膜と併せて形成することができる。

【0128】また、この発明のうち請求項21に係るものによれば、電源/接地配線の少なくとも一方の形成予定領域が表されている配線レイアウトを参照することにより、フォトリソを露光する際に使用されるフォトリソマスクのパターンを容易に生成することができる。

#### 【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体装置の構造を示す上面図である。

【図2】 図1に示した半導体装置の断面構造を示す断面図である。

【図3】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図4】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図5】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図6】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図7】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図8】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図9】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図10】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図11】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図12】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図13】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図14】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図15】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図16】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図17】 本発明の実施の形態2に係る半導体装置の構造を示す上面図である。

【図18】 図17に示した半導体装置の断面構造を示す断面図である。

【図19】 本発明の実施の形態3に係る半導体装置の構造を示す上面図である。

【図20】 図19に示した半導体装置の断面構造を示す断面図である。

【図21】 本発明の実施の形態4に係る半導体装置の構造を示す上面図である。

【図22】 図21に示した半導体装置の断面構造を示す断面図である。

【図23】 本発明の実施の形態5に係る半導体装置の構造を示す上面図である。

【図24】 図23に示した半導体装置の断面構造を示す断面図である。

【図25】 本発明の実施の形態6に係る半導体装置の構造を示す上面図である。

【図26】 図25に示した半導体装置の断面構造を示す断面図である。

【図27】 本発明の実施の形態7に係るマスクパターンの生成方法を説明するための概念図である。

【図28】 本発明の実施の形態7に係るマスクパターンの生成方法を説明するための概念図である。

【図29】 本発明の実施の形態7に係るマスクパターンの生成方法を説明するための概念図である。

【図30】 本発明の実施の形態7に係る他のマスクパターンの生成方法を説明するための概念図である。

【図31】 本発明の実施の形態7に係る他のマスクパターンの生成方法を説明するための概念図である。

【図32】 本発明の実施の形態8に係る半導体装置の構造を示す上面図である。

【図33】 図32に示した半導体装置の断面構造を示す断面図である。

【図 34】 本発明の実施の形態 9 に係る半導体装置の構造を示す上面図である。

【図 35】 図 34 に示した半導体装置の断面構造を示す断面図である。

【図 36】 本発明の実施の形態 10 に係る半導体装置の構造を示す上面図である。

【図37】 図10に示した半導体装置の断面構造を示す断面図である。

【図38】 図10に示した半導体装置の断面構造を示す断面図である。

【図 39】 本発明の実施の形態 10 に係る半導体装置の他の構造を示す上面図である。

【図40】 図39に示した半導体装置の断面構造を示す断面図である。

【図 4 1】 図 3 9 に示した半導体装置の断面構造を示す断面図である。

【図４２】 本発明の実施の形態１１に係る半導体装置の構造を示す上面図である。

【図 4 3】 本発明の実施の形態 1 1 に係る半導体装置の他の構造を示す上面図である。

【図 4 4】 本発明の実施の形態 1 2 に係る半導体装置の構造を示す上面図である。

【図45】 ボンディングパッドと入力バッファ回路との接続部分を拡大して示す上面図である。

【図46】 図45に示した半導体装置の断面構造を示す断面図である。

【図 4 7】 第 1 の従来の半導体装置の構造を示す断面

図である。

【図 48】 第2の従来の半導体装置の構造を示す上面図である。

【図49】 第1の従来の半導体装置の問題を説明するためのタイミングチャートである。

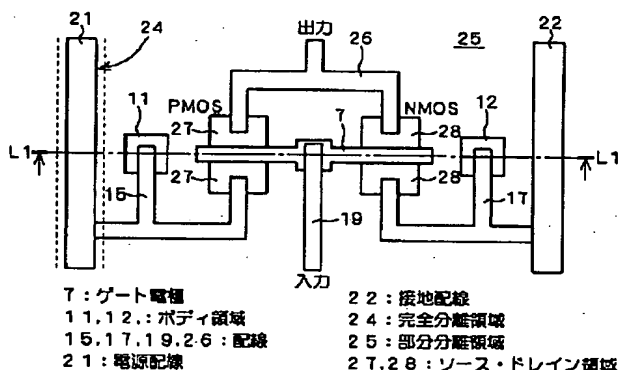
【図50】 第1の従来の半導体装置の問題を説明するためのタイミングチャートである。

【図51】 第2の従来の半導体装置の問題を説明するための断面図である。

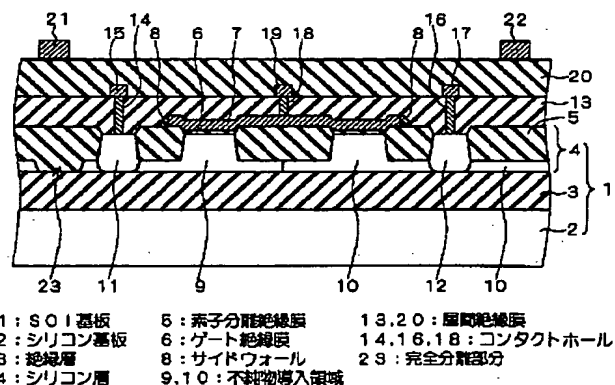
## 10 【符号の説明】

1 SOI 基板、2 シリコン基板、3 絶縁層、4 シリコン層、5 素子分離絶縁膜、6 ゲート絶縁膜、7 ゲート電極、13、20 層間絶縁膜、15、17、19、19a1、19a2、26、152a、152b 配線、23、51、58、63、66、66a、66c、95、95a 完全分離部分、24、50、57、62、65、65a、65c、79、94、94a、94b 完全分離領域、25 部分分離領域、33、35 凹部、36 シリコン酸化膜、55、56、60、61 CMOS、70 配線レイアウト、71 配線形成領域、73 フォトマスク、74 開口部、76 CMOSレイアウト、77 禁止領域、90 ICチップ、90a 低速動作部、90b 高速動作部、90c 中速動作部、92、92a、92b ボンディングパッド、97 高抵抗領域、98 低濃度不純物領域、151a 入力バッファ回路、151b 出力バッファ回路。

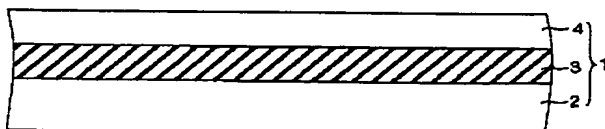
【圖 1】



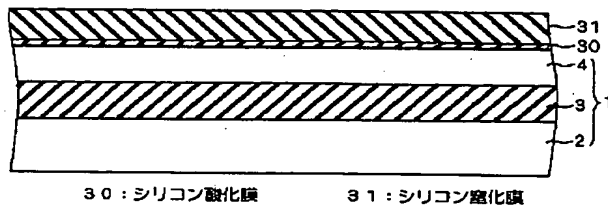
【图 2】



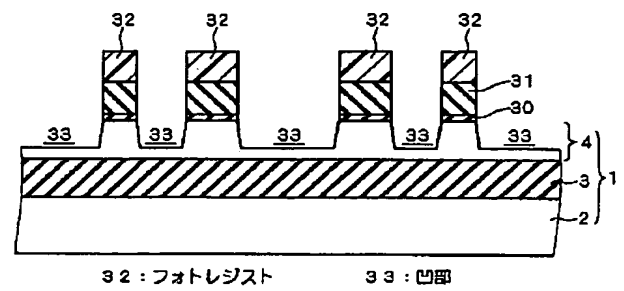
【図 3】



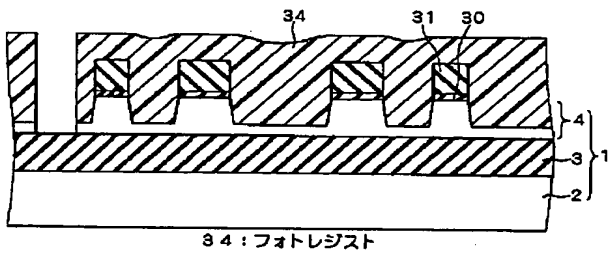
【図 4】



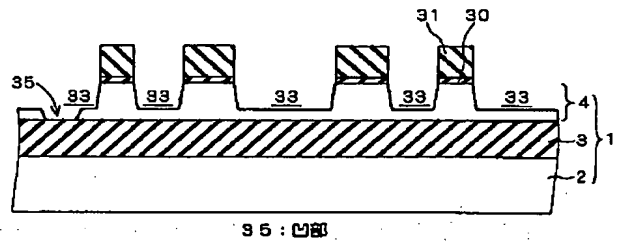
【図 5】



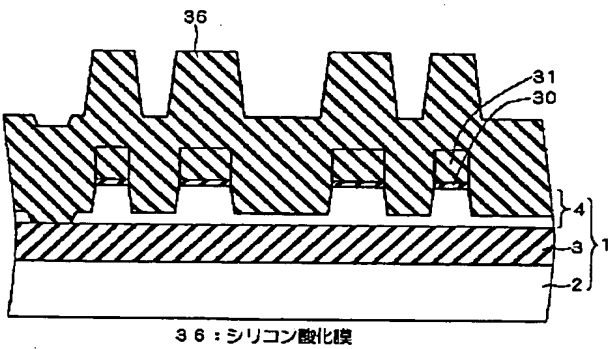
【図 6】



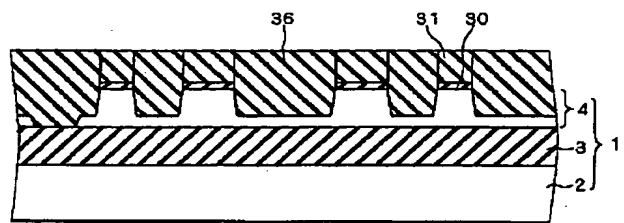
【図 7】



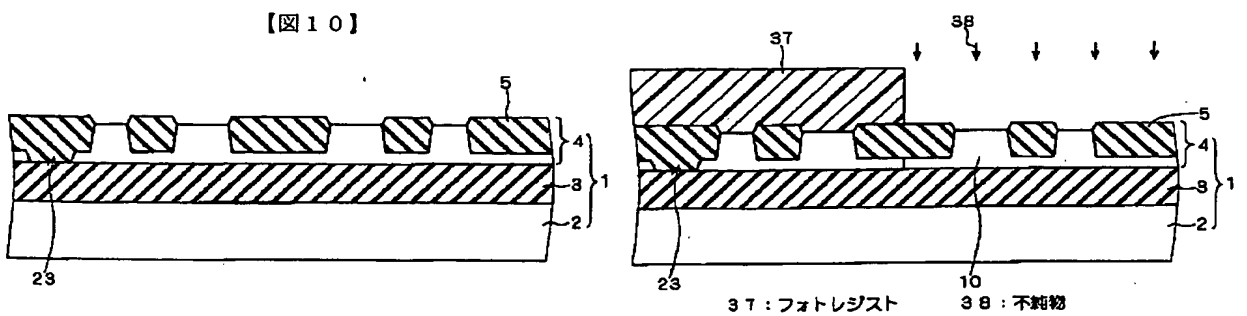
【図 8】



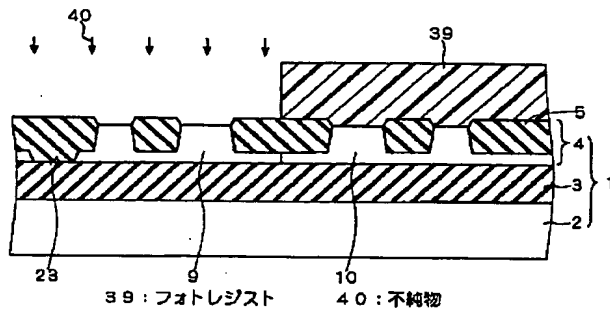
【図 9】



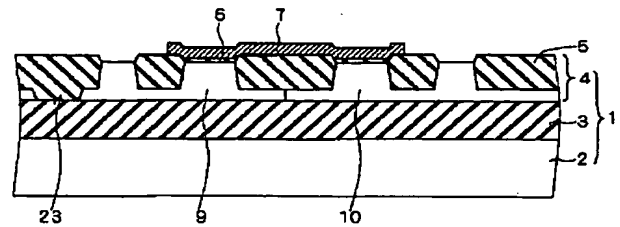
【図 11】



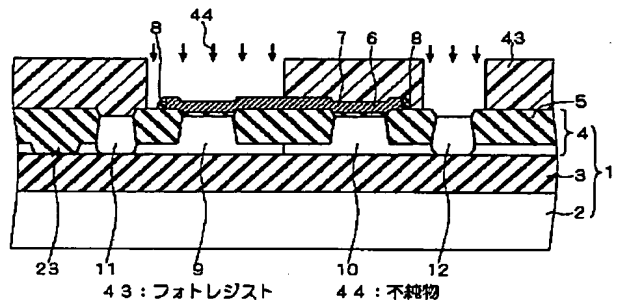
【図 12】



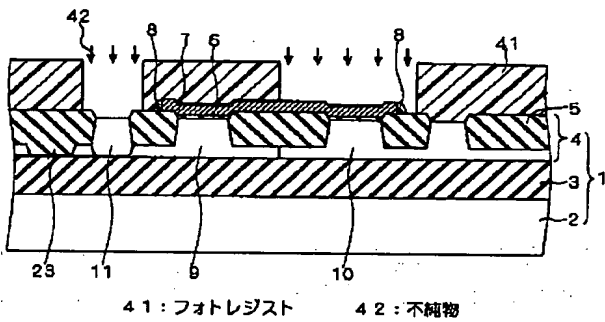
【図 13】



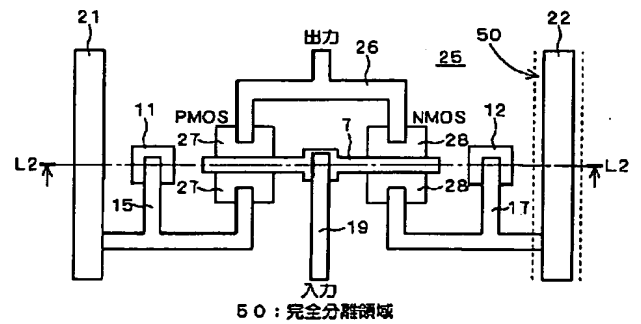
【図 15】



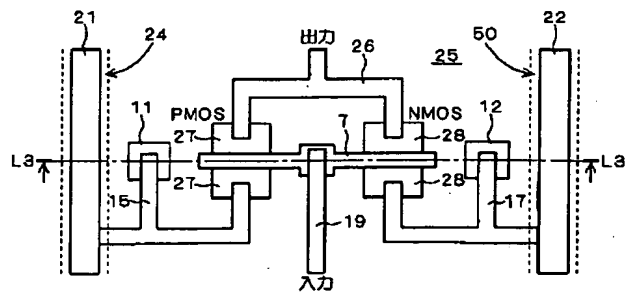
【図 14】



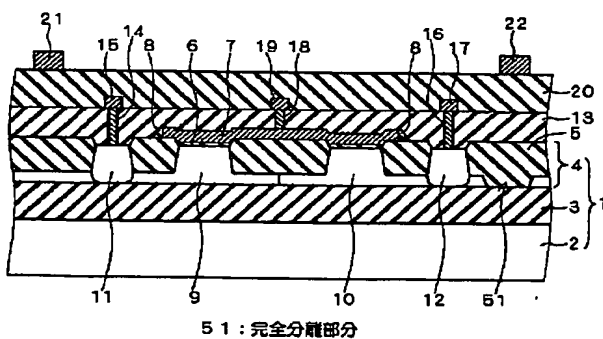
【図 17】



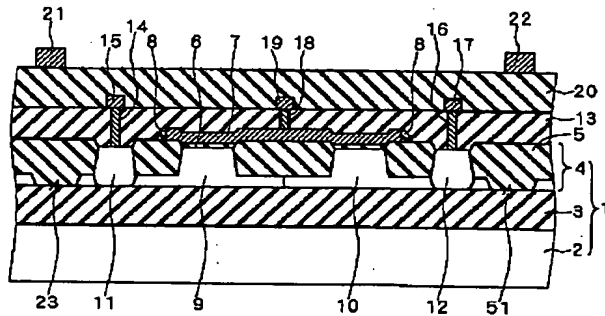
【図 19】



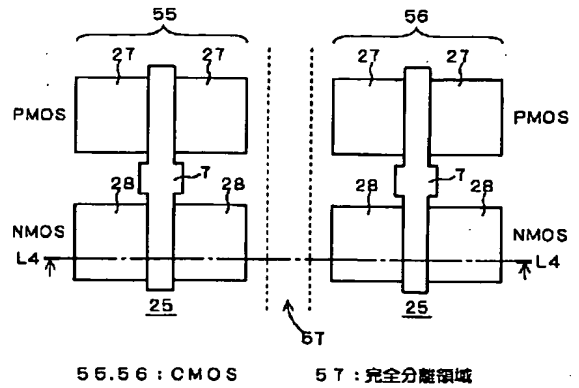
【図 18】



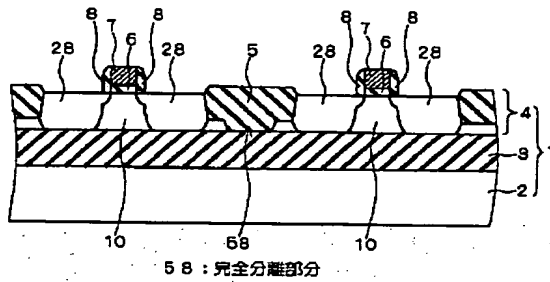
【図 20】



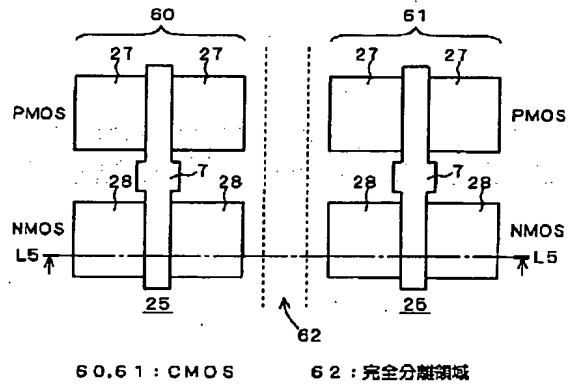
【図 21】



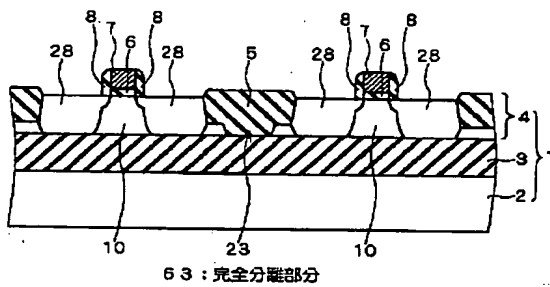
【図 22】



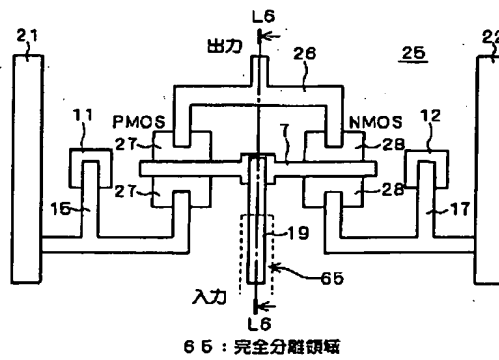
【図 23】



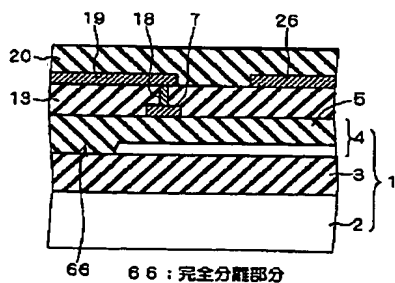
【図 24】



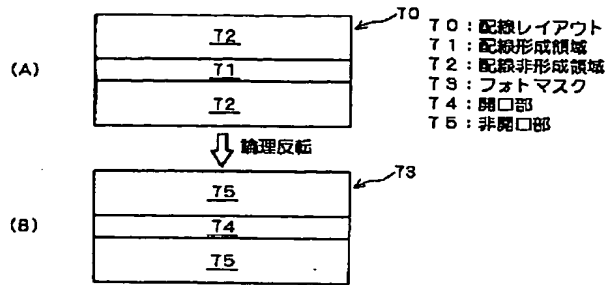
【図 25】



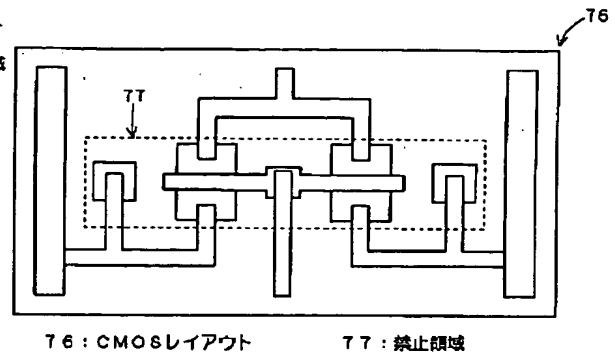
【図 26】



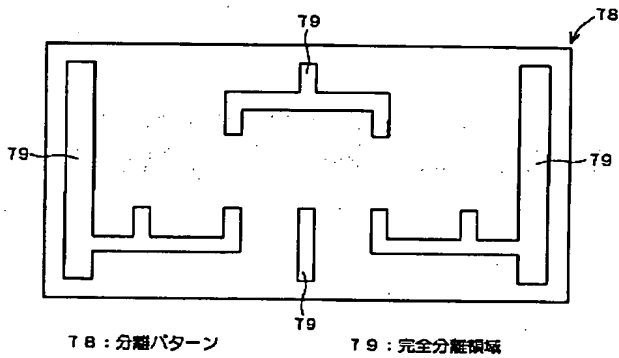
【図 27】



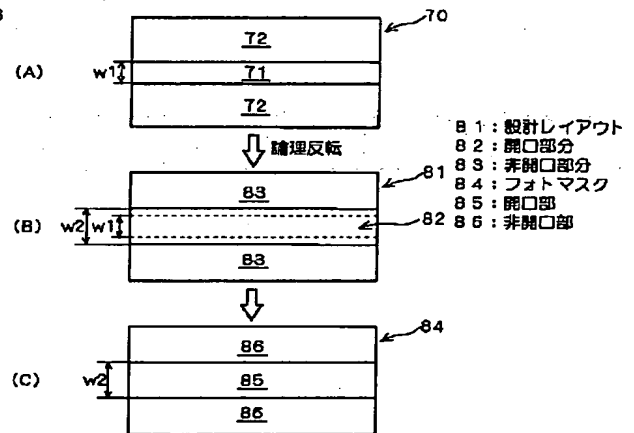
【図 28】



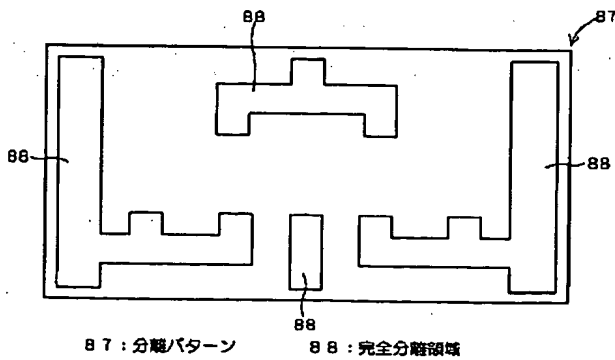
【図 29】



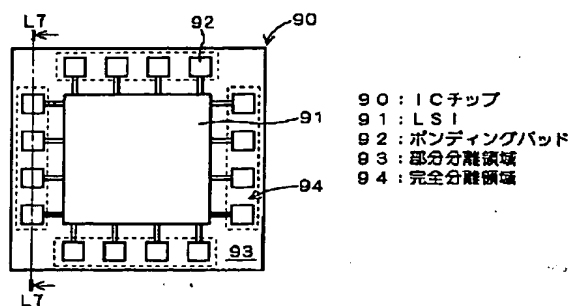
【図 30】



【図 31】

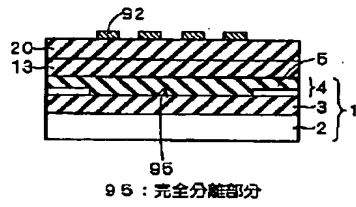


【図 32】

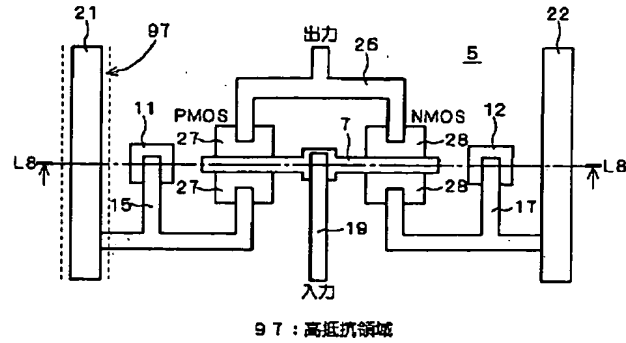




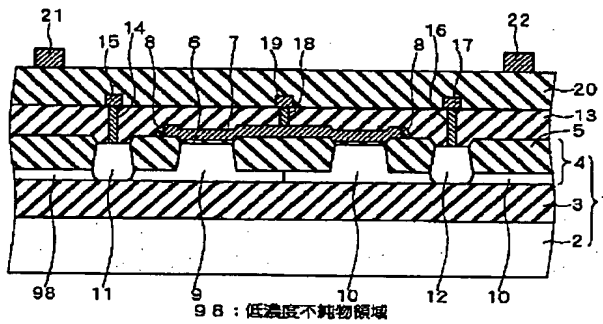
【図 33】



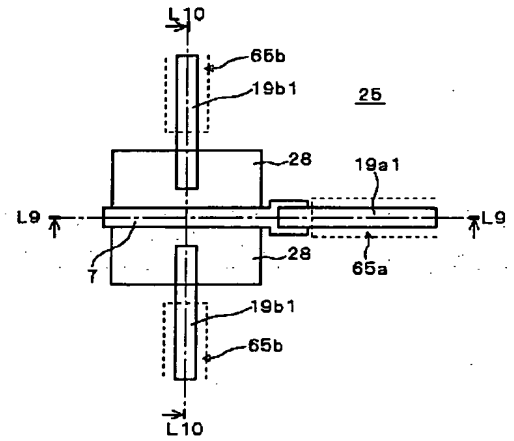
【図 34】



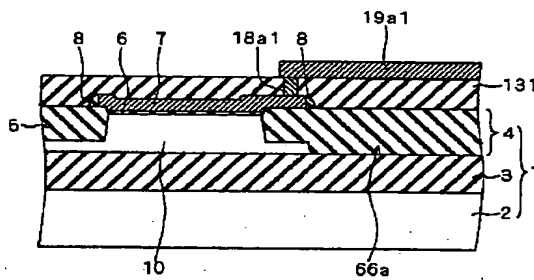
【図 35】



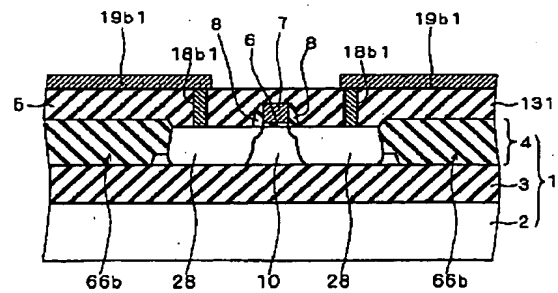
【図 36】



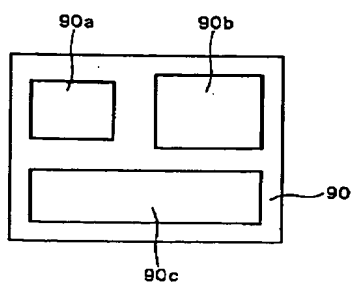
【図 37】



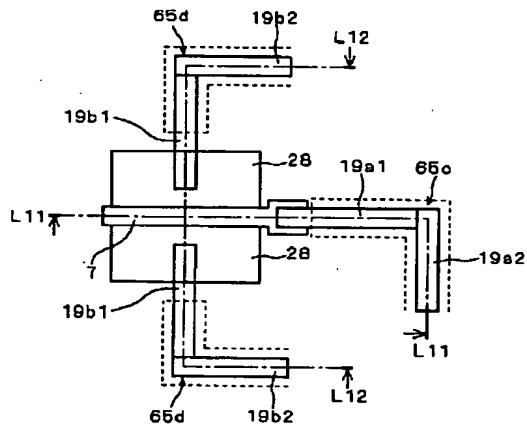
【図 38】



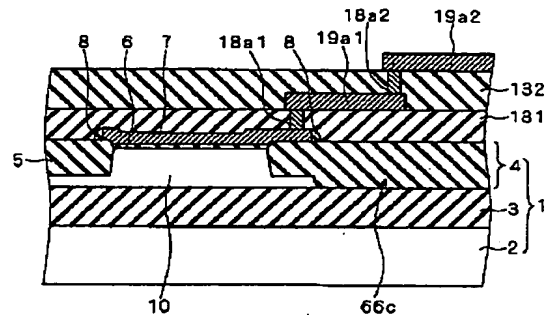
【図 42】



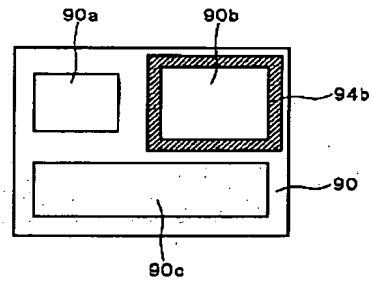
【図 39】



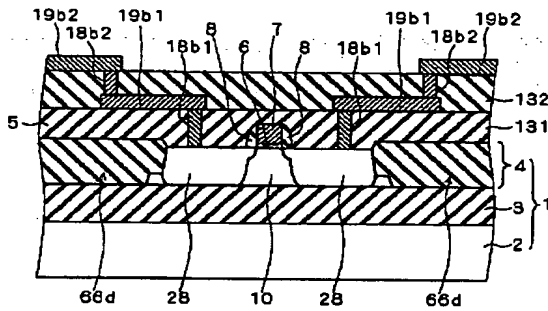
【図 40】



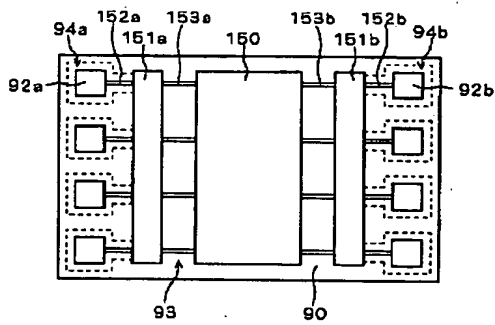
【図 43】



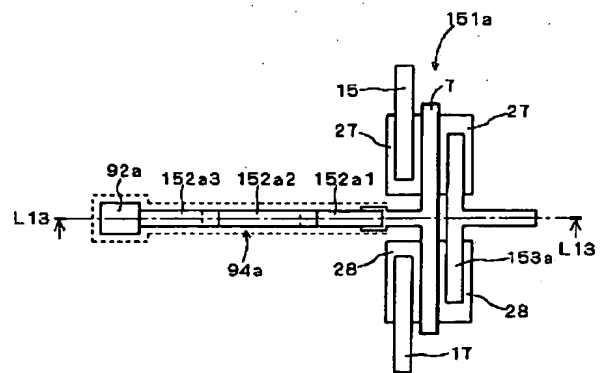
【図 41】



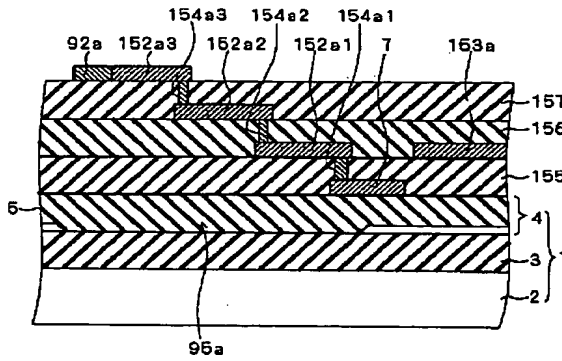
【図 44】



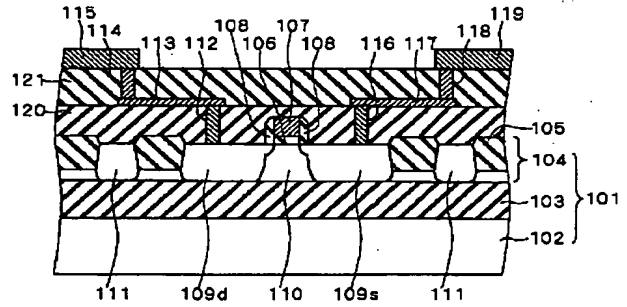
【図 45】



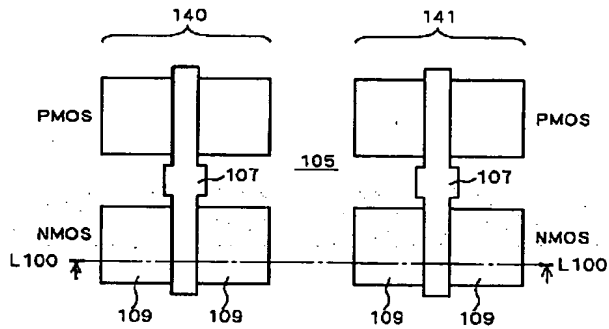
【図46】



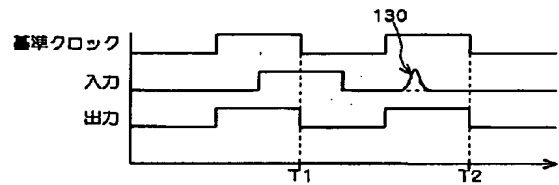
【図47】



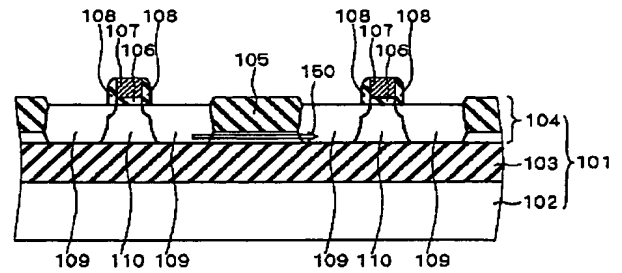
【図48】



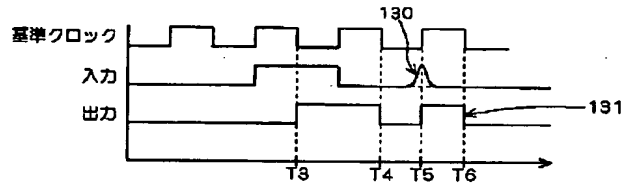
【図49】



【図51】



【図50】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

H01L 21/822  
21/8238  
27/092  
27/08

識別記号

331

FI

H01L 21/88  
27/04  
27/08  
29/78

テームド(参考)

T  
H  
E  
321A  
321F  
626B

(72)発明者 岩松 俊明  
 東京都千代田区丸の内二丁目 2 番 3 号 三  
 菱電機株式会社内

(72)発明者 松本 拓治  
 東京都千代田区丸の内二丁目 2 番 3 号 三  
 菱電機株式会社内

(72)発明者 前田 茂伸  
 東京都千代田区丸の内二丁目 2 番 3 号 三  
 菱電機株式会社内

(72)発明者 山口 泰男  
 東京都千代田区丸の内二丁目 2 番 3 号 三  
 菱電機株式会社内

F ターム(参考) 5F032 AA06 AA07 AA09 AA34 AA44  
 BA01 BA03 CA03 CA17 CA20  
 DA02 DA23 DA25 DA33 DA43  
 DA78

5F033 GG03 HH04 HH08 HH25 KK01  
 KK25 MM07 QQ09 QQ38 QQ48  
 QQ58 QQ59 QQ65 RR04 SS11  
 UU01 VV04 VV05 VV07 VV15  
 XX00 XX23

5F038 BH12 BH16 BH18 BH19 BH20  
 CA02 CA05 CA10 CD02 CD03  
 CD13 CD18 DF01 DF12 EZ06  
 EZ14 EZ15 EZ20

5F048 AA04 AA07 AB05 AB06 AB07  
 AC04 BA16 BB06 BB07 BB08  
 BB12 BB14 BC06 BE03 BE09  
 BF02 BF03 BF06 BF17 BG07  
 BG14 DA23

5F110 AA08 AA15 AA23 BB04 CC02  
 DD05 DD13 EE05 EE09 EE31  
 EE38 EE41 FF02 FF23 GG24  
 GG32 GG34 GG52 GG60 HJ01  
 HJ04 HJ13 HK05 HK40 HL03  
 HL08 HM15 HM19 NN03 NN04  
 NN23 NN62 NN65 NN78